中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES

北京开源芯片研究院 BEIJING INSTITUTE OF OPEN SOURCE CHIP

香山开源处理器社区 XiangShan Open-Source Processor Community

玉泉·开源高性能内存控制器 IP 及硅前系统验证工具集

赵阳洋

中国科学院计算技术研究所

2026年10月

大纲

- **玉泉项目研究意义**
- 白杨：开源高性能DDR4内存控制器 IP
- 成体系的开源敏捷验证工具集
  - FATE：硅前周期精准DDR PHY仿真器 IP
  - MCSim：精准内存子系统 C++ 模拟器
  - 内存子系统验证和性能分析系统
- 未来展望

高性能 DDR4 内存控制器现状

- RISC-V开源生态缺少高性能MC IP
  - 商用 IP 难以适配高性能香山核性能优化与可演进定制
  - 国际开源项目不满足高性能流片需求

特性	厂商提供的 DDR4 内存控制器 IP			国际开源高性能 DDR4 内存控制器 IP			玉泉项目 IP
	AMD(Xilinx) MIG IP	Synopsys/Cadence/Alphawave/Rambus等授权 MC IP	ARM/Intel/Qualcomm等作为芯片组件打包出售	OPRECOMP (欧盟)	OpenDRAM (加拿大)	uberDDR4 (荷兰NLnet 基金会资助)	Baiyang (DDR4) IP
成本	免费	昂贵(先进工艺节点DDR5**单项目**授权费**80万-150万美元**)	昂贵(作为芯片组的一部分，购买芯片获取)	免费	免费	免费	免费
适用性	仅适用 FPGA	支持DFI，流片通用	仅支持厂商自售芯片	仅适用 FPGA，DDR4-1600	仅适用 FPGA	支持DFI，流片通用	支持DFI，流片通用
可定制	×	√	√	×	√	√	√
高性能	√	√	√	×	√	×	√

注：玉泉取义自“问渠那得清如许，为有源头活水来”

玉泉项目研究意义

敏捷开发高性能 DDR4 内存控制器 IP

国内首个开源高性能 DDR4 内存控制器 IP，填补这项空白

探索不依赖商用工具的敏捷验证方法

兼顾成本与性能，实现内存子系统验证和精准性能分析

大纲

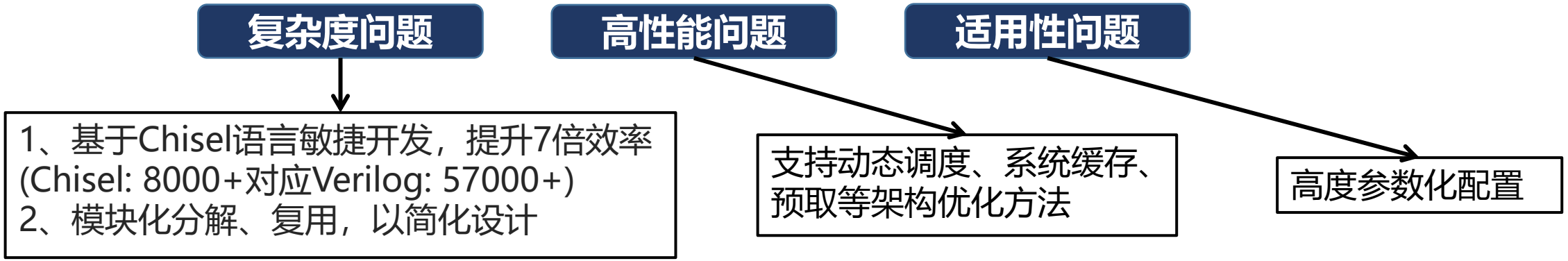
- 项目背景和意义
- **白杨：开源高性能DDR4内存控制器 IP**
- 成体系的开源敏捷验证工具集
  - FATE：硅前周期精准DDR PHY仿真器 IP
  - MCSim：精准内存子系统 C++ 模拟器
  - 内存子系统验证和性能分析系统
- 未来展望

香山高性能 MC IP 敏捷开发挑战

- 按开源生态技术底座、高性能、产品级标准要求，IP 复杂度极高
  - 兼容 DDRx SDRAM 颗粒特性，如data retention需要复杂的刷新、调度控制机制
  - 适配 PHY 厂商实现的差异性
  - 支持自主演进、适配香山高性能核定制优化和随 DDRx 协议标准演进

香山高性能 MC IP 敏捷开发挑战

- 按开源生态技术底座、高性能、产品级标准要求，IP 复杂度极高
  - 兼容 DDRx SDRAM 颗粒特性，如data retention需要复杂的刷新、调度控制机制
  - 适配 PHY 厂商实现的差异性
  - 支持自主演进、适配香山高性能核定制优化和随 DDRx 协议标准演进
- 解决方案



白杨：开源高性能DDR4内存控制器 IP

架构设计

优化4：多ID并发访存

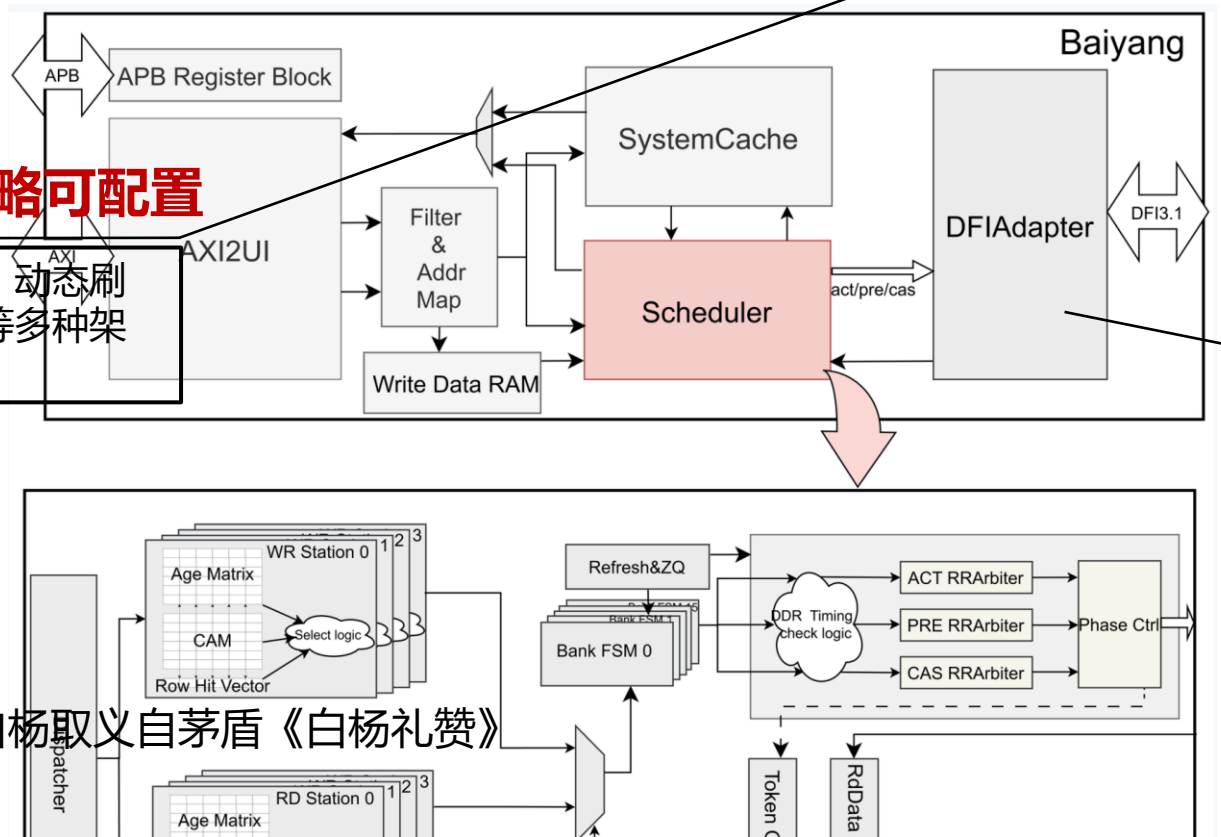
支持多项不同 AXI ID 读请求乱序返回

优化1：支持标准协议

解耦维持DDRx SDRAM颗粒运行的背景操作与访存行为

优化3：调度策略可配置

可配置动态开关行、动态刷新、动态读写切换等多种架构优化方法



优化2：时序参数可配置

系统性检查时序参数，可根据不同频点经APB接口配参数

注：白杨取义自茅盾《白杨礼赞》

Baiyang IP 性能评估结果

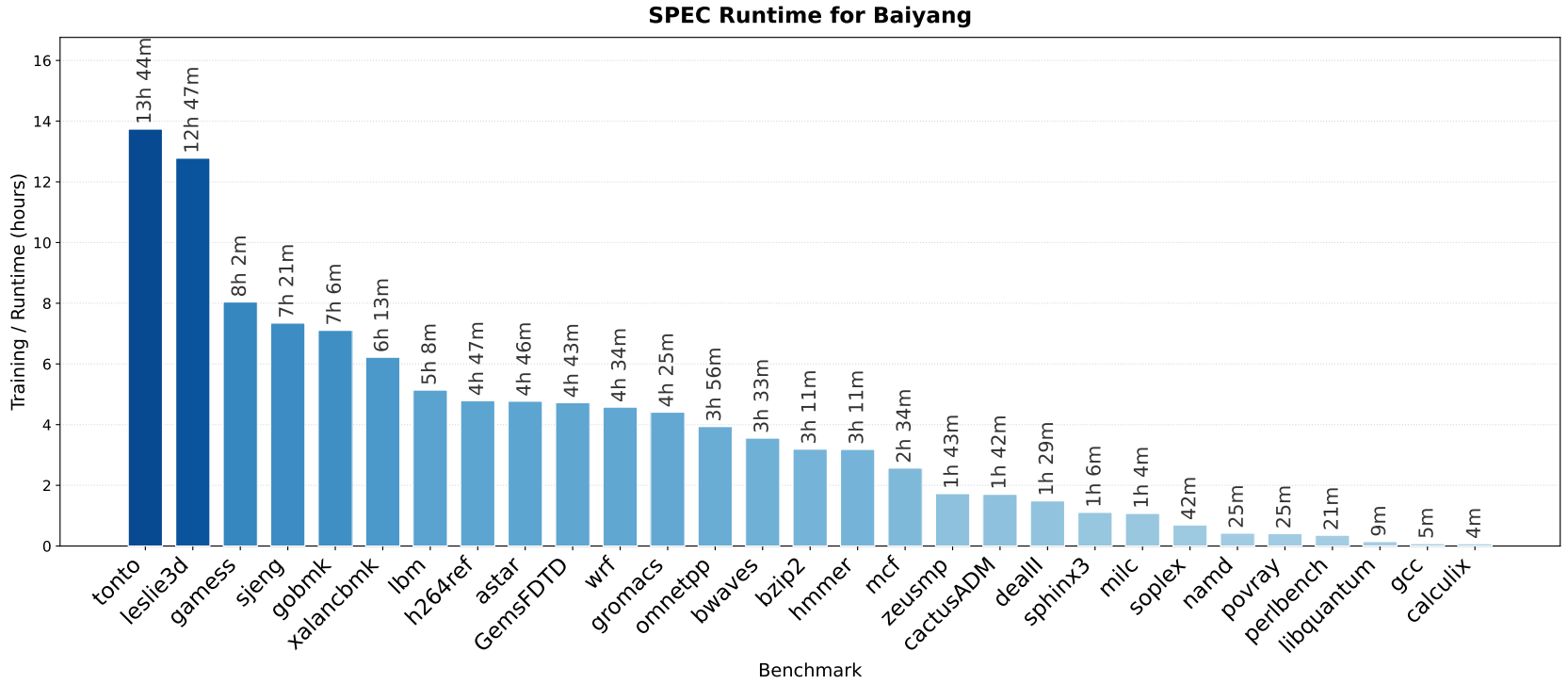
- 评估环境
  - **CPU**: 香山昆明湖 V2 **测试平台**: Cadence Palladium Z2
  - **测试负载**:SPEC CPU2006 ref **DDR4频点**: DDR4-3200

跑分比较(分/GHz)	SPEC Int	SPEC Fp	SPEC Overall
某商用MC IP (baseline)	14.305	14.265	14.2820
Baiyang IP	14.247	14.394	**14.3330**

Overall 综合得分 14.3330 分/GHz，与商用 IP 持平

Baiyang IP 功能验证结果

- 评估环境
  - **测试平台**: S2C 公司 Prodigy™ S7-19PS/D/Q Logic System
  - **CPU**: 香山南湖核 **测试负载**:SPEC CPU2006 train **DDR4频点**: DDR4-2400





Xilinx Virtex UltraScale+
XCVU19P FPGA

Baiyang IP 通过 FPGA平台 SoC系统级全部SPEC Train测试

大纲

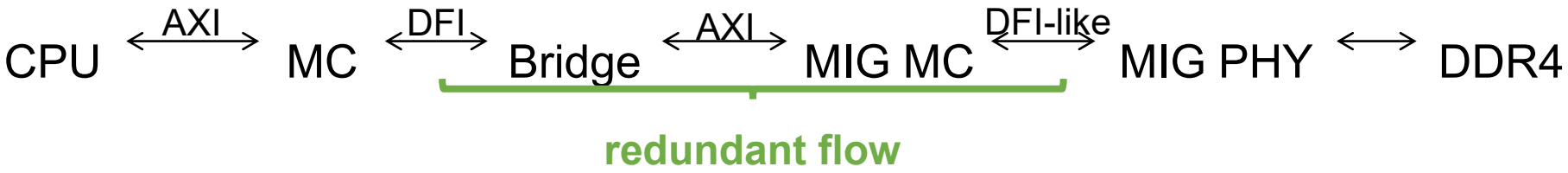
- 项目背景和意义
- 白杨：开源高性能DDR4内存控制器 IP
- **成体系的开源敏捷验证工具集**
  - FATE：硅前周期精准DDR PHY仿真器 IP
  - MCSim：精准内存子系统 C++ 模拟器
  - 内存子系统验证和性能分析系统
- 未来展望

FATE-DDR: 硅前验证周期级精准仿真 PHY IP

- **挑战一：解决FPGA平台精确PHY 仿真问题**
  - 标准 FPGA 平台存在CPU-MC频率失配问题，导致CPU-MC频率比相比流片存在10倍以上误差
- 现有解决方案
  - Fixed delay: 无法刻画真实时序
  - DLL-Off: CPU侧刷新过于频繁，刷新开销吞掉可用带宽
  - FASED: 仅时序建模，无 DFI 接口，不含真实内存控制器 RTL
  - DFI-AXI bridge: 丢失 DFI 语义，行为具有不确定性



The **data flow** of DFI-AXI bridge:



FATE-DDR: 硅前验证周期级精准仿真 PHY IP

优化2：缓冲优化

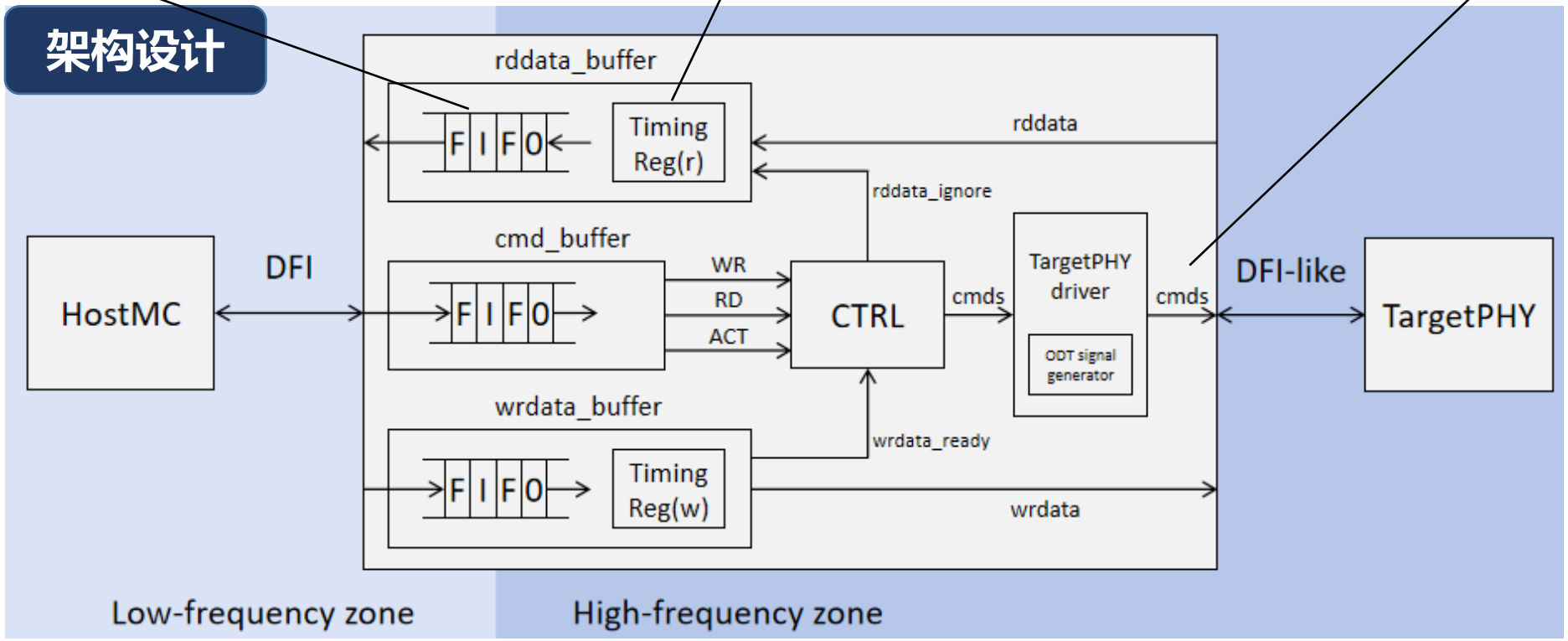
突破跨频域转接FIFO频率比限制，降低低频传输延迟

优化1：周期级精准

Cadence Palladium Z2平台仿真对比，性能周期级一致

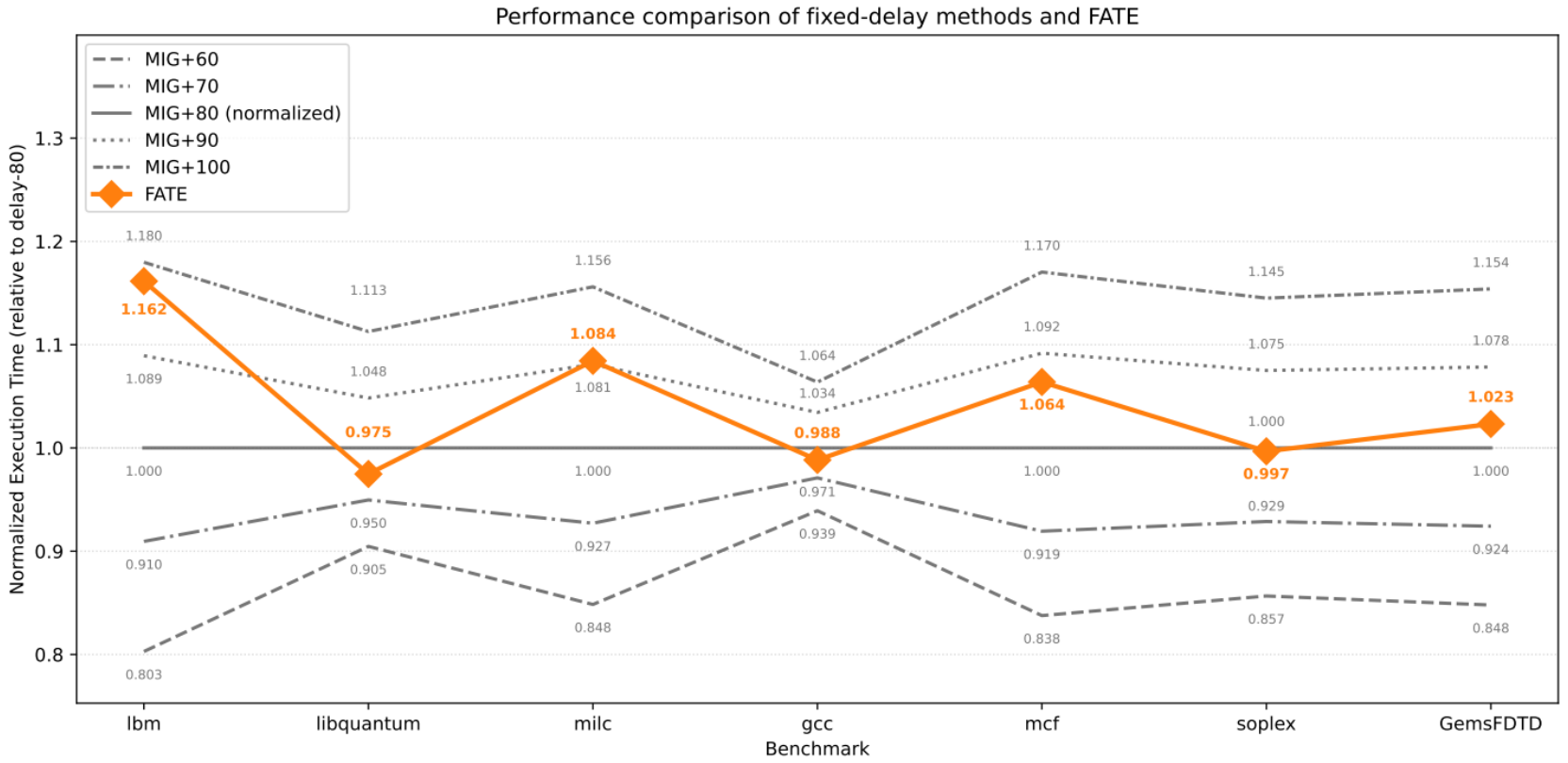
优化3：最坏时序分析

精细调整 VTT/REF/ZQS/ACT/RDA命令调度，确保正确性



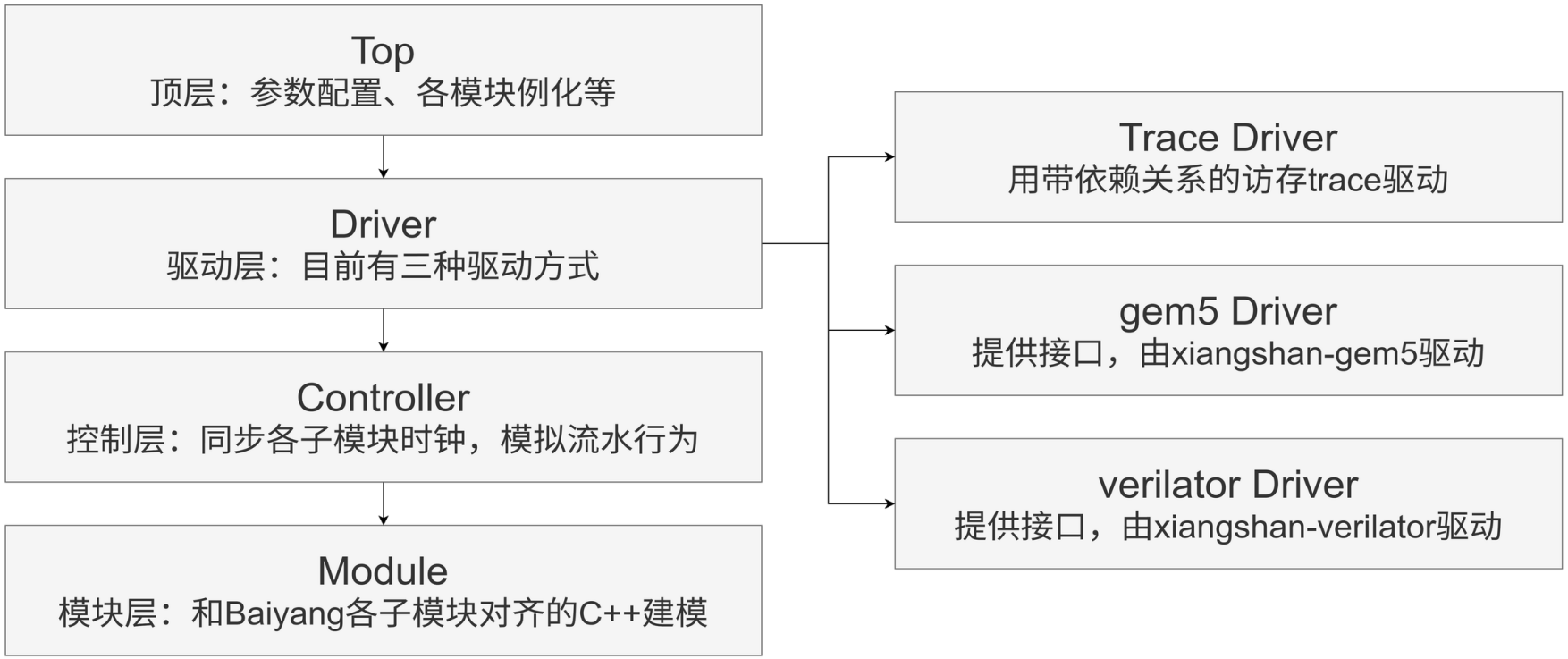
FATE-DDR: 硅前验证周期级精准仿真 PHY IP

- FATE-DDR 填补了 FPGA 上缺少可用 DDR PHY IP 的空白，与商业的 DDR PHY IP 保持**周期级**的一致
- 对比传统固定延迟方案：



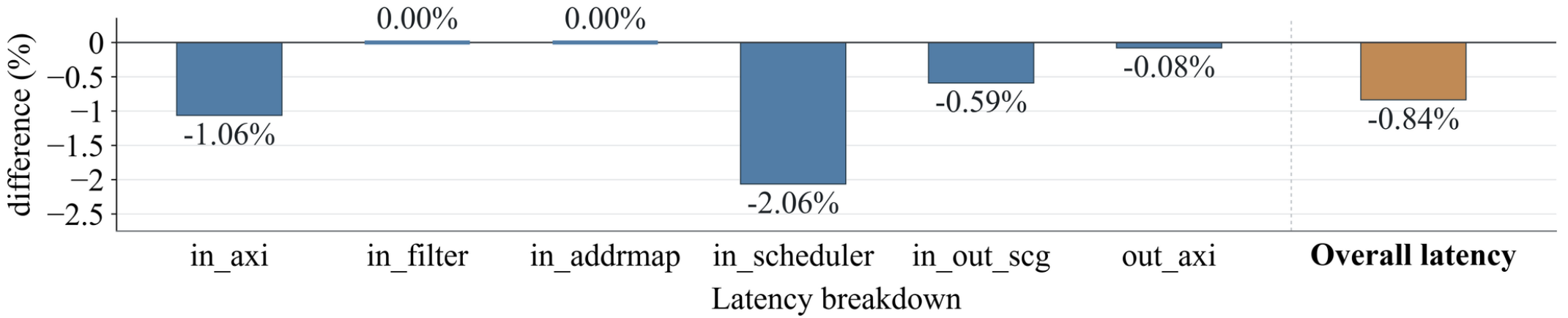
MCSim：精准内存子系统 C++ 模拟器

- RTL对齐：与 Baiyang 的请求路径、队列、调度和 DDR 时序保持一致
- 适用场景：支持 Trace、gem5 接核和 Verilator 接核三种驱动方式
- 架构探索：可用于 SystemCache、AXI 虚通道、预取和开关行策略等微架构设计空间评估

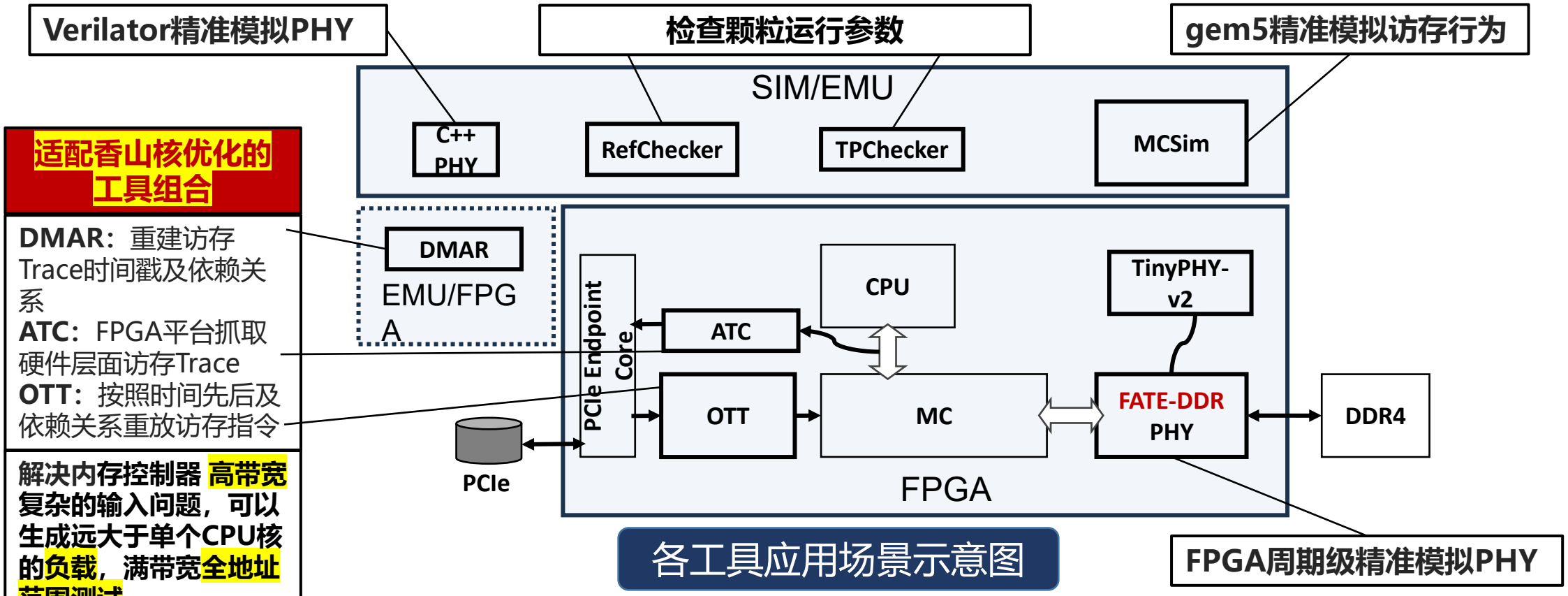


MCSim：精准内存子系统 C++ 模拟器

- 在仿真环境下，测得MCSim-v0.3和Baiyang v1.0在相同SPEC trace下的平均延迟差异仅约0.84%：



成体系的内存子系统验证和性能分析系统



适配香山核优化的工具组合

DMAR：重建访存Trace时间戳及依赖关系

ATC：FPGA平台抓取硬件层面访存Trace

OTT：按照时间先后及依赖关系重放访存指令

解决内存控制器高带宽复杂的输入问题，可以生成远大于单个CPU核的负载，满带宽全地址范围测试

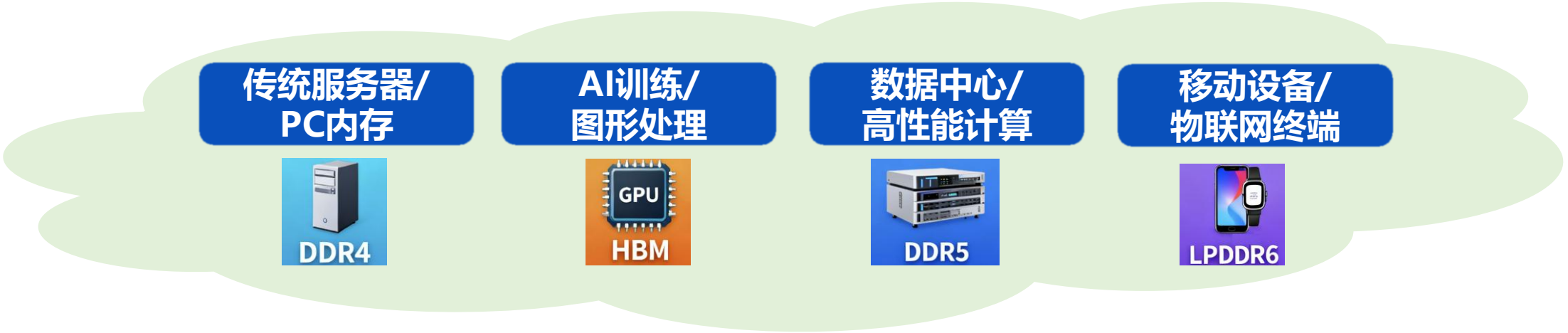
研制成体系、高性能、高效率的工具集，仅需要集成开源EDA工具即可实现不依赖任何商用付费工具的系统性硅前验证

大纲

- 项目背景和意义
- 白杨：开源高性能DDR4内存控制器 IP
- 成体系的开源敏捷验证工具集
  - FATE：硅前周期精准DDR PHY仿真器 IP
  - MCSim：精准内存子系统 C++ 模拟器
  - 内存子系统验证和性能分析系统
- **未来展望**

未来发展计划

- 形成 DDR3/DDR4/DDR5 IP 全线演进
- 为学术界提供高性能开源MC IP 及 内存子系统研究平台



打造全系列高性能内存控制器 IP 开源技术底座，支撑 RISC-V 开源生态

联系我们

- 团队成员
  - 陈明宇、卢天越、赵阳洋、朱晓静、张旭、宋汨、李俊儒、乾家豪、朱书航、叶从容、呼昕炜、王函、朱晨光、冯博文、杨宇明、李志明、武弋、崔骏彦、黄伟健、段文哲、范祝哲、何羿君、叶东坤、李金澄
- 开源地址
  - 主目录：**github.com/OpenXiangShan/YuQuan**
  - 其他：
    - **github.com/OpenXiangShan/FATE-DDR**
    - **github.com/OpenXiangShan/MCSim**
    - **github.com/OpenXiangShan/MemoryTools**