中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES

北京开源芯片研究院 BEIJING INSTITUTE OF OPEN SOURCE CHIP

香山开源处理器社区 XiangShan Open-Source Processor Community

香山处理器

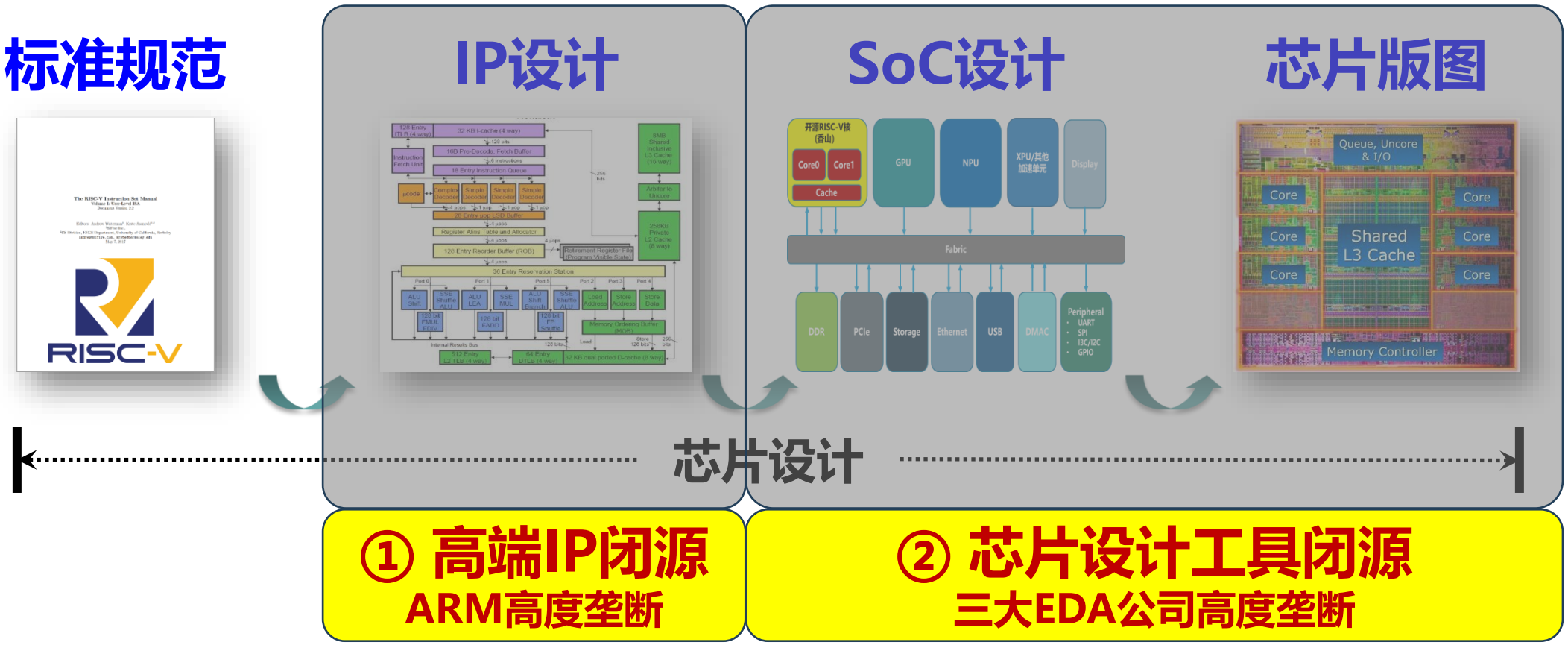
敏捷开发基础设施建设

徐易难

中国科学院计算技术研究所

2026年10月

RISC-V 面临的产业壁垒



香山：用开源打破产业壁垒

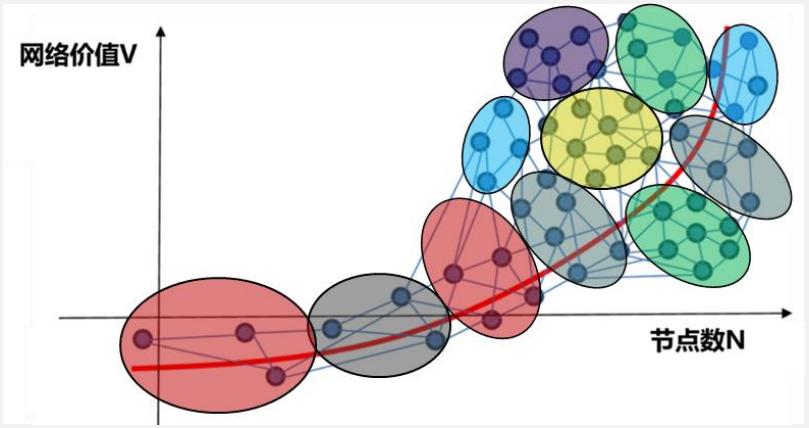


开源新模式：凝聚共识、促进合作、打破垄断、开放创新

开源带来了什么？芯片研发范式转变！

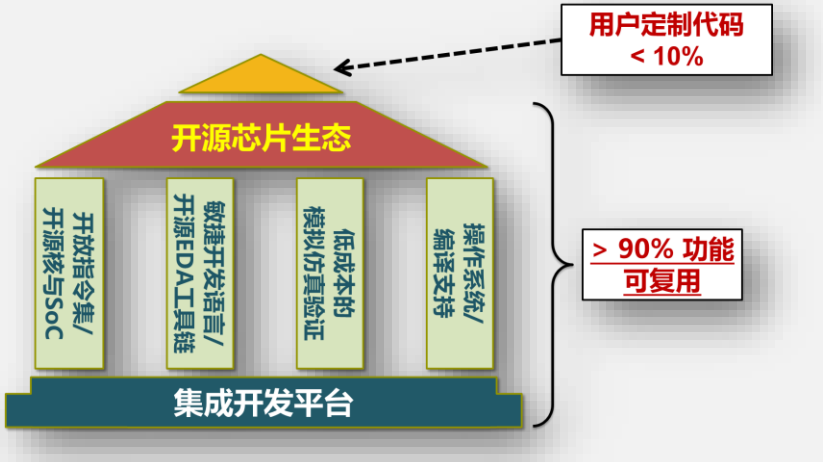
众包开发模式

形成一批芯片敏捷设计新方法、新流程、新工具、新平台（控制点技术）



高效复用

加快设计迭代速度，降低设计成本（人力、EDA、IP、时间等）



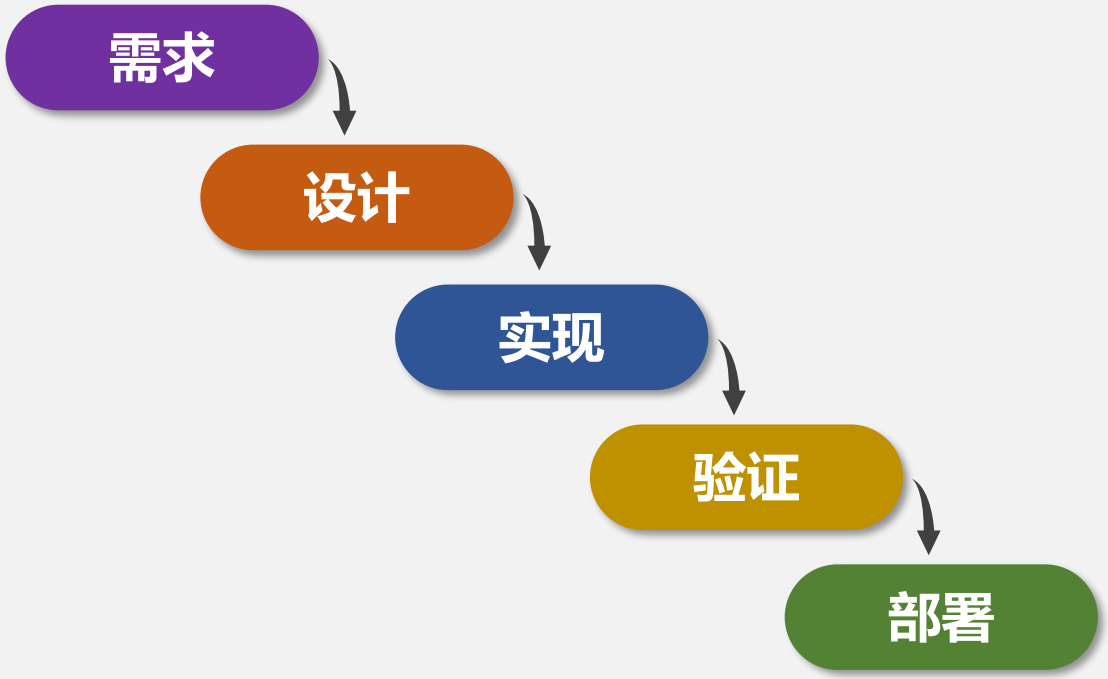
开源模式将成为智能时代芯片研发的更优选择

- 随着**智能的获取成本下降**，开源项目将成为**智能时代的更大受益者**

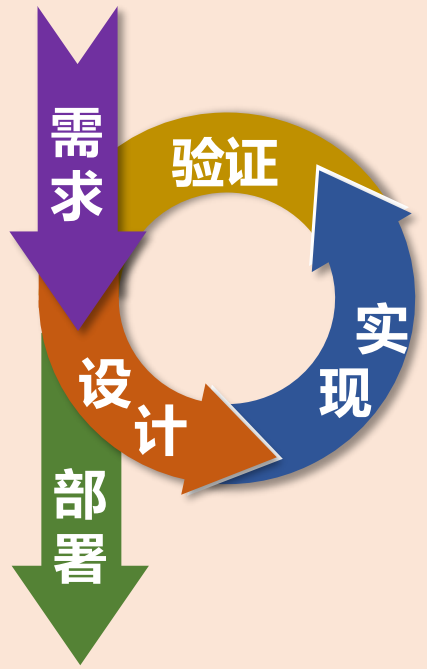


敏捷开发将成为智能时代芯片研发的基本方法

- 随着更多决策由**AI辅助完成**，芯片设计将更加依赖**快速迭代能力（多次设计、持续试错）**

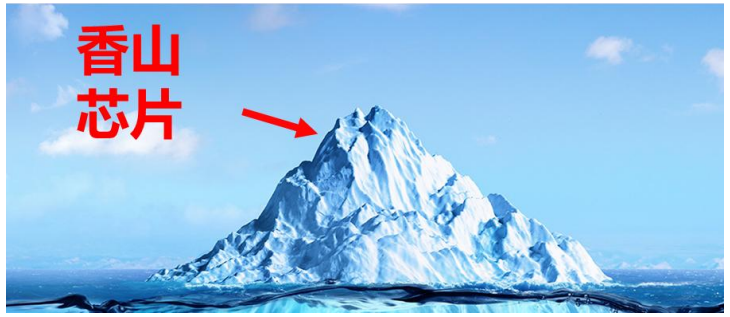


瀑布模式：长周期、重流程管理



敏捷模式：短周期、快速迭代

传统处理器芯片设计以PPA为导向



PPA

性能
Performance

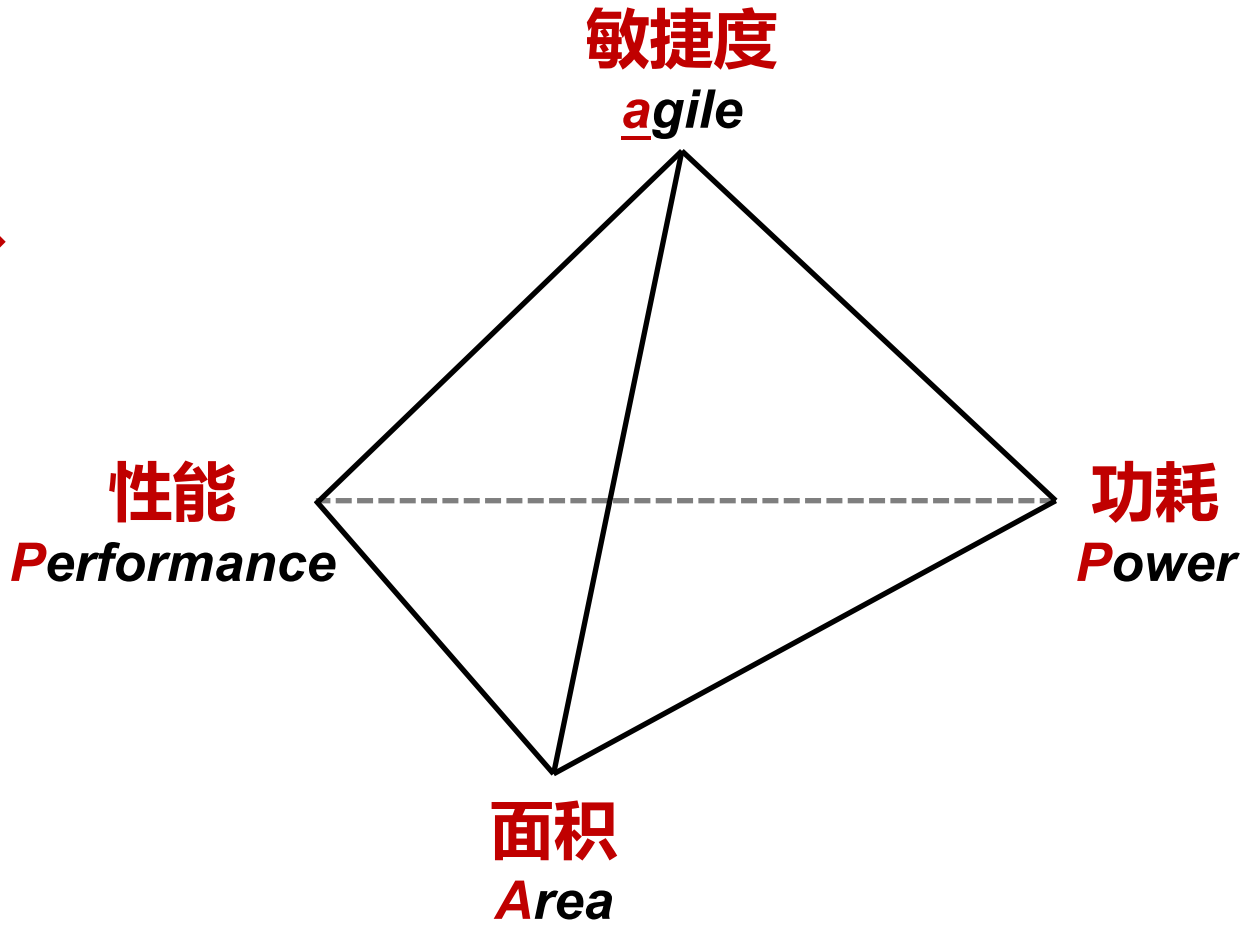
功耗
Power

面积
Area

开源处理器芯片设计兼顾PPA与敏捷度(agile)

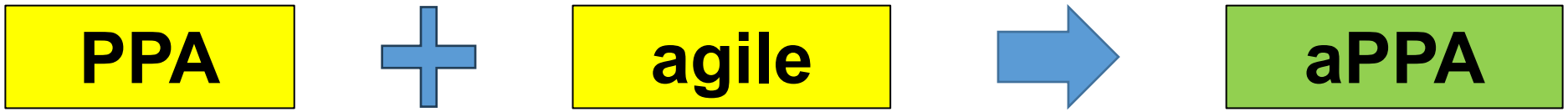


aPPA

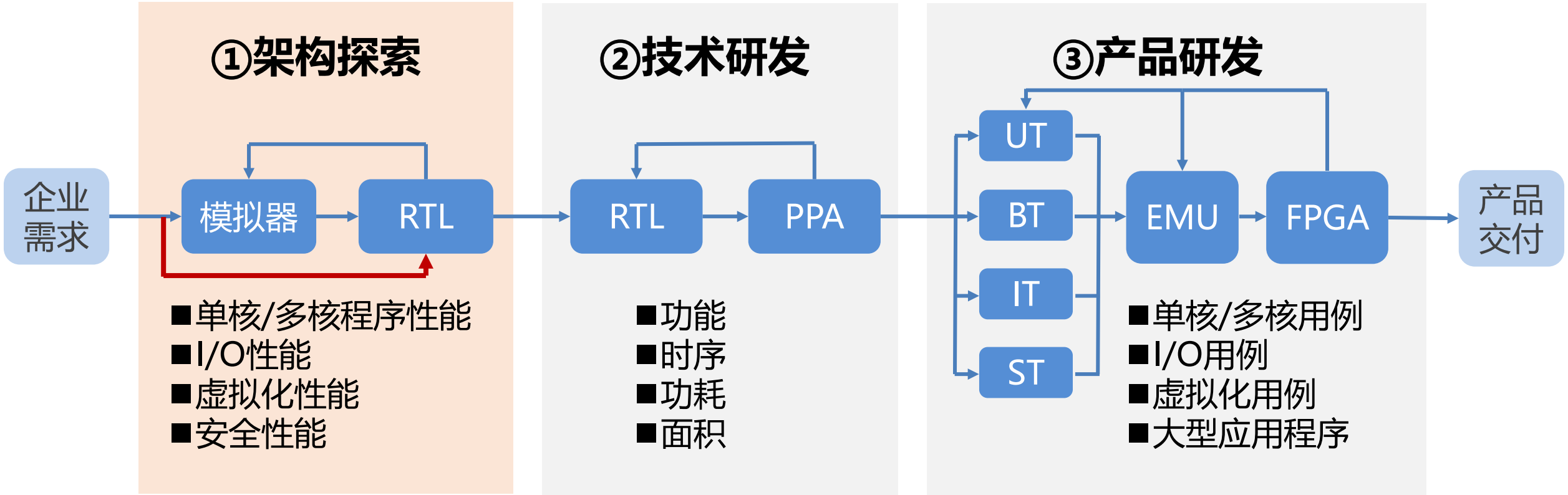


aPPA：一套兼顾性能与敏捷度的设计新方法

- 香山团队改变传统以**性能**（**PPA**：频率、功耗、面积）为导向的设计方法，发展形成一套兼顾性能与**敏捷度**（**agile**：时间、成本、复杂度）的设计新方法

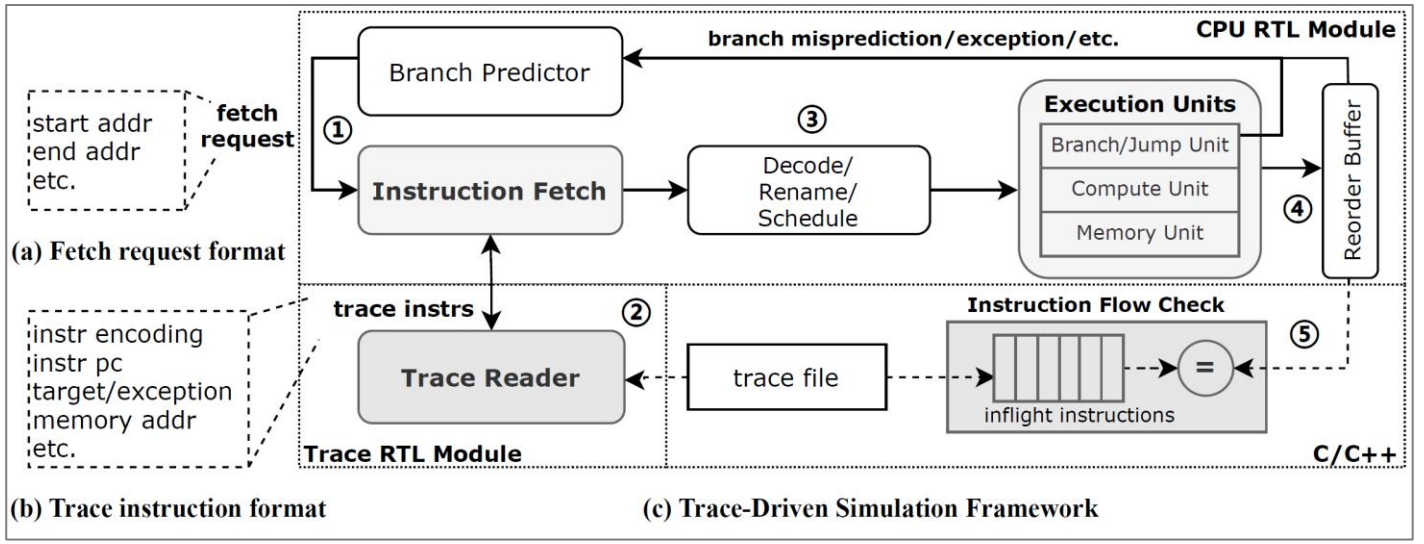


设计语言和性能探索


①架构探索
②技术研发
③产品研发
企业需求
模拟器
RTL
RTL
PPA
UT
BT
IT
ST
EMU
FPGA
产品交付
■单核/多核程序性能
■I/O性能
■虚拟化性能
■安全性能
■功能
■时序
■功耗
■面积
■单核/多核用例
■I/O用例
■虚拟化用例
■大型应用程序

基于香山RTL实现Trace驱动架构模型

- **Trace驱动仿真**：完善CPU功能正确性之前，可进行早期性能评估
  - **洞察**：**架构探索只需要必要的性能组件**，无需实现完整功能
- 将模拟器领域成熟的Trace-driven模型应用到RTL上，降低开发门槛
- **关键**：**自动化、低侵入**地改造并维护一个 Trace 驱动的香山



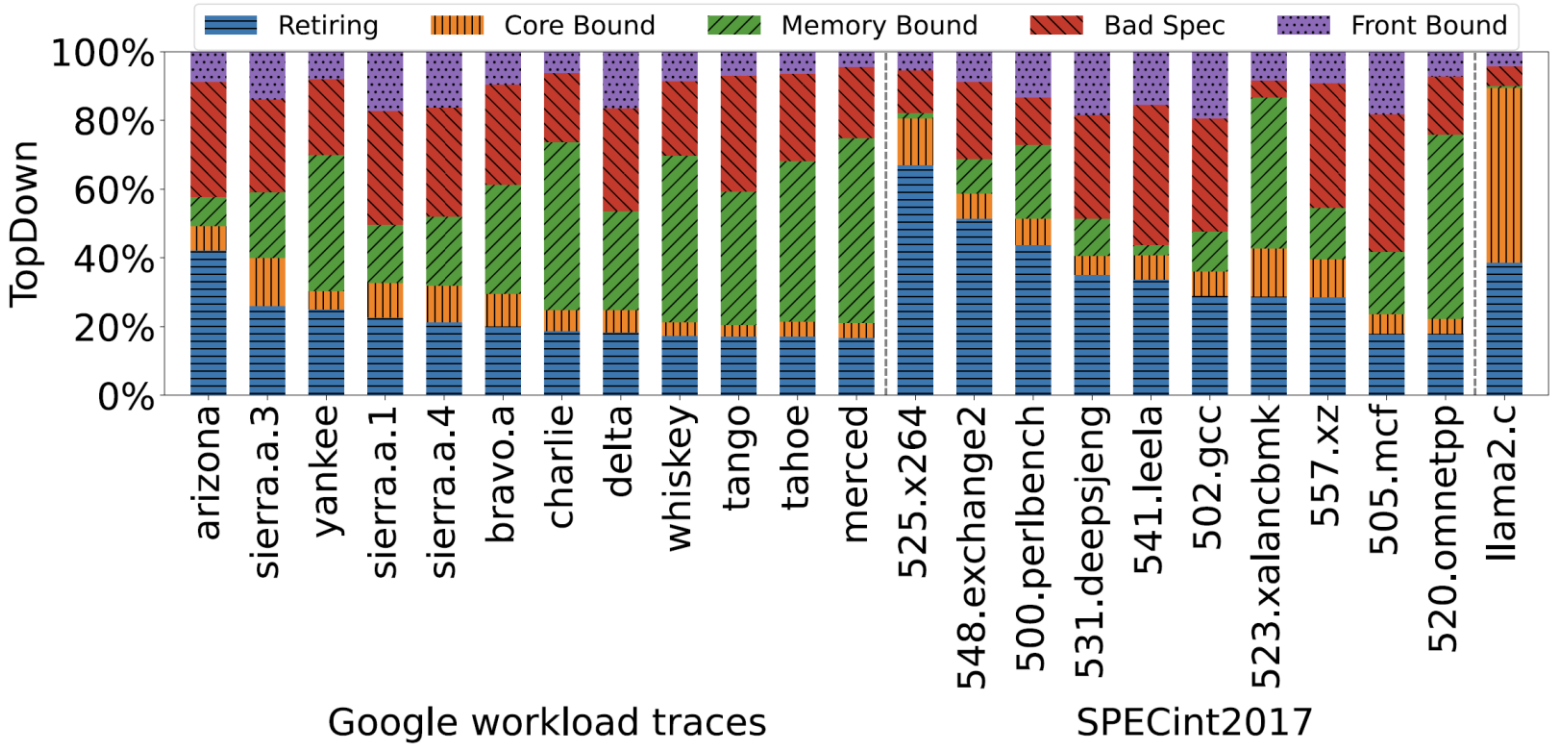
基于香山快速改造形成Trace-driven CPU

共6组关键接口

- 分支预测
- 取指
- 指令执行
- 控制流
- 缓存
- 地址翻译

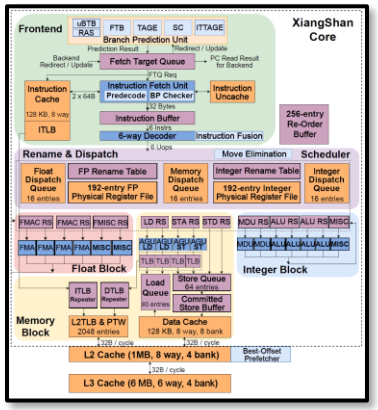
x86 Workloads on RISC-V CPUs

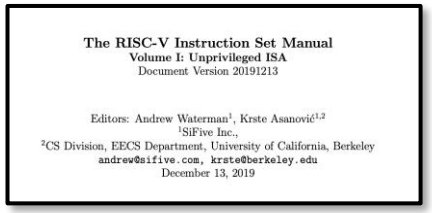
- 结合跨ISA Trace翻译，在**香山RISC-V处理器**上评估**谷歌数据中心x86负载性能**，相关研究成果发表于HPCA 2026会议



Google数据中心负载和SPEC CPU2017表现出不同Top-Down特征

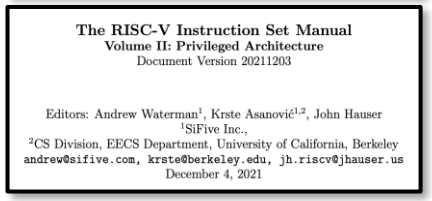
敏捷验证：低成本、快迭代、高质量





The RISC-V Instruction Set Manual
Volume I: Unprivileged ISA
Document Version 20191213

Editors: Andrew Waterman[1], Krste Asanović[1,2]
[1]SiFive Inc.,
[2]CS Division, EECS Department, University of California, Berkeley
andrew@sifive.com, krste@berkeley.edu
December 13, 2019



The RISC-V Instruction Set Manual
Volume II: Privileged Architecture
Document Version 20211203

Editors: Andrew Waterman[1], Krste Asanović[1,2], John Hauser
[1]SiFive Inc.,
[2]CS Division, EECS Department, University of California, Berkeley
andrew@sifive.com, krste@berkeley.edu, jh.riscv@jhauser.us
December 4, 2021

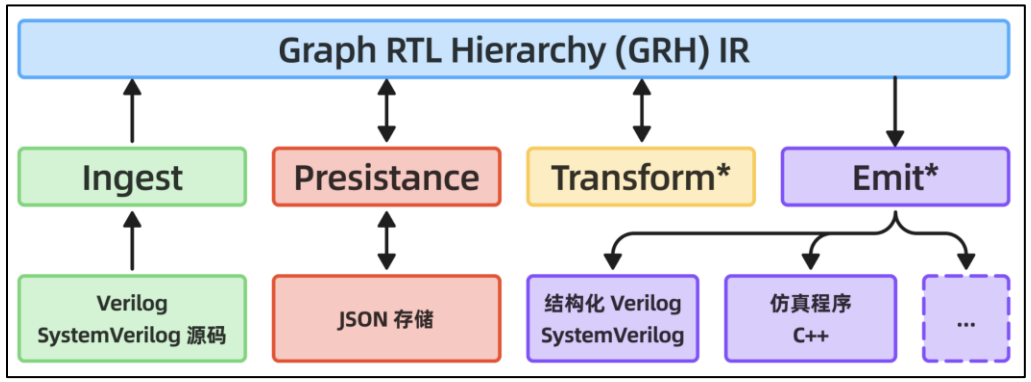
测试生成 → 处理器仿真 → 正确性检查

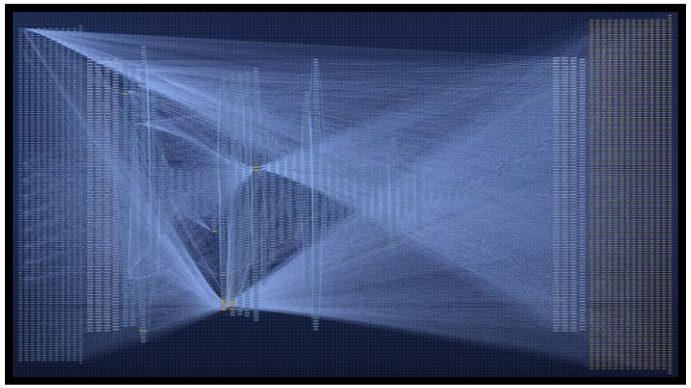
验证质量　验证时间　验证成本

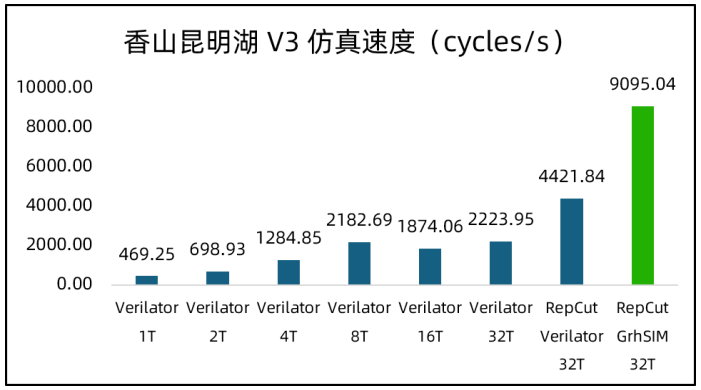
敏捷设计支持

Wolvrix：面向芯片架构研究的RTL编译基础设施

- 为架构研究提供规整、表达能力强的RTL图结构
- 定位类比MLIR/CIRCT，用于芯片敏捷设计中的RTL分析任务
- 图结构核心库GRH IR及处理组件，支持工业级的 SystemVerilog 输入
- 案例应用于仿真加速场景，正在扩展GSIM仿真器的能力边界

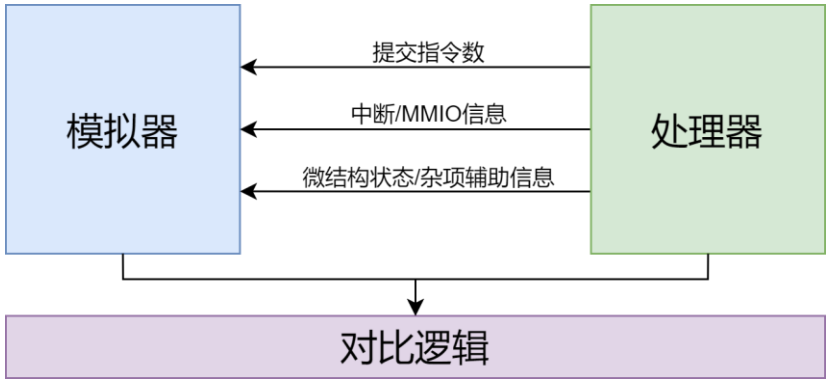






DiffTest：指令粒度处理器在线差分验证框架

- **基本流程**
  - 处理器仿真产生指令提交/其他状态更新
  - 模拟器执行相同的指令
  - 比较两者状态，报错或继续



基本验证框架

- **支持通用RISC-V处理器的仿真验证**
  - 提供香山、NutShell、rocket-chip等使用案例
  - 提供 Chisel 和 Verilog API
  - 支持 Verilator/VCS/帕拉丁/FPGA/GSIM等仿真器
  - 支持 NEMU/Spike 指令集模拟器作为参考模型
  - 开源：GitHub/OpenXiangShan/difftest

```
while (1) {
    icnt = cpu_step();
           nemu_step(icnt);
         r1s = cpu _getregs();
    r2s = nemu_getregs();
    if (r1s != r2s) { abort(); }
}
```

在线对比机制

如何加速处理器仿真验证：FPGA

- **动机**：**FPGA数量级加速电路仿真**，基于此优化DUT-REF整体速度
- **特点**：将REF部署于Host环境，以**软硬件(RTL-Host)通信**为核心
  - **硬件**(RTL侧)：利用仿真加速器、FPGA等加速 DUT 电路仿真
  - **软件**(Host侧)：仍使用x86、ARM宿主机运行 REF 软件逻辑
  - **通信**：利用PCIe、以太网、InfiniBand等连接手段在软硬件间传递数据

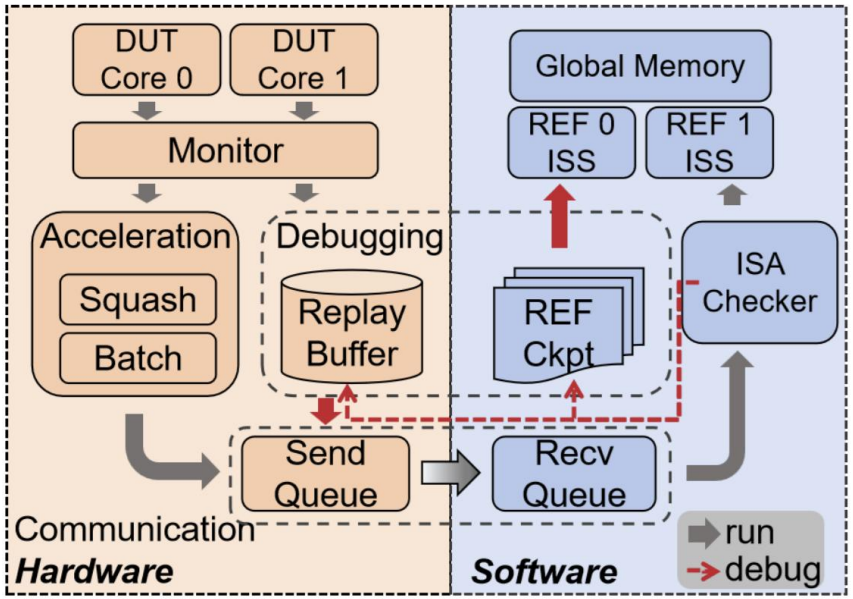


- Emulator、 FPGA等
- 速度 1~100 MHz

- x86/ARM CPU
- 速度 >> 100 MHz

DiffTest-H：语义感知的协同仿真验证加速

- **难点**：验证数据**种类多、数量大**，通信需求**频繁**，性能开销大
- **关键思路**：针对不同验证数据包，进行**语义感知的通信开销优化**
  - Batch降低通信频次，Squash减少通信数据量，Replay保持调试粒度
- 相比软件仿真器，加速香山处理器验证1000+倍，达**30MHz量级**



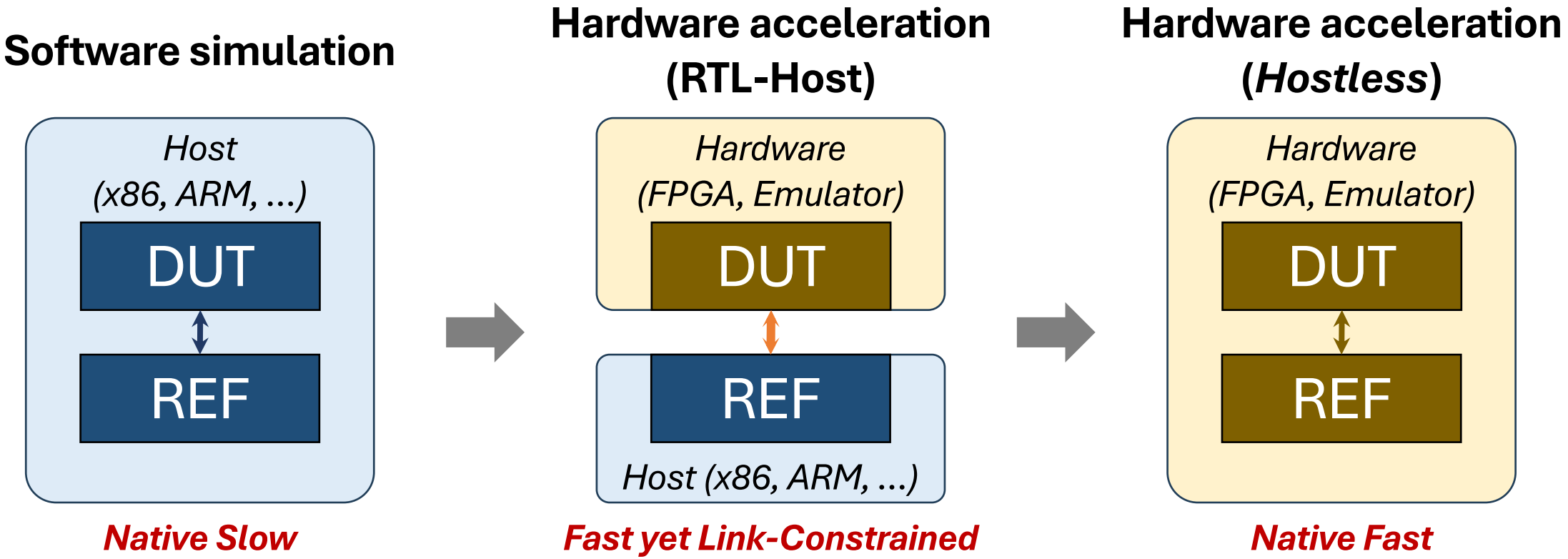
DiffTest-H工作流程



相比帕拉丁：
仿真验证精度不变
速度提升1个数量级
价格降低2个数量级

DiffTest-L：协同仿真验证的无主机加速

- **动机**：通过将参考模型映射到FPGA平台，消除RTL-Host通信开销
- **效果**：实现接近平台原生速度(**70MHz**)的处理器仿真验证加速



高水平：香山敏捷设计方法形成国际学术影响力

- 香山及其敏捷设计方法，入选体系结构领域旗舰期刊《IEEE Micro》遴选的**2022年度领域12项亮点成果（IEEE Micro Top Picks）**
- 围绕敏捷设计方法，去年起连续在**体系结构领域CCF-A类会议发表学术论文**，并入选**MICRO Distinguished Paper Award候选论文**



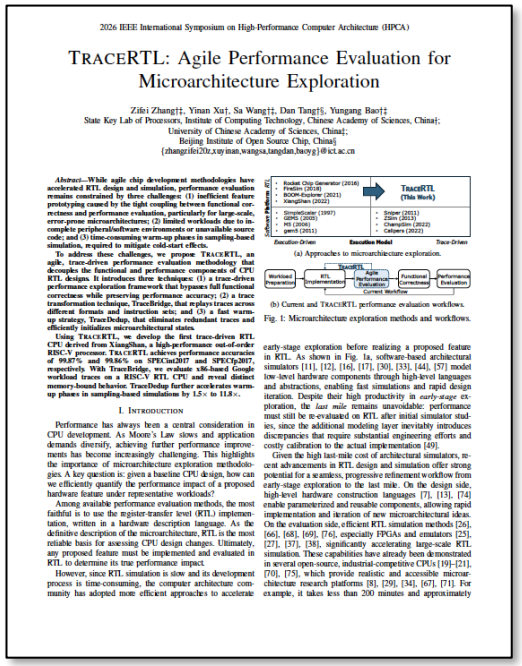
DiffTest-H: Toward Semantic-Aware Communication in Hardware-Accelerated Processor Verification

Kunlin You, Yinan Xu, Kehan Feng, Luoshan Cai, Yaoyang Zhou, Yungang Bao

Abstract

Keywords

1 Introduction



2026 IEEE International Symposium on High-Performance Computer Architecture (HPCA)

TRACERTL: Agile Performance Evaluation for Microarchitecture Exploration

Zifei Zhang†‡, Yinan Xu†, Sa Wang†‡, Dan Tang†§, Yungang Bao†‡

I. Introduction

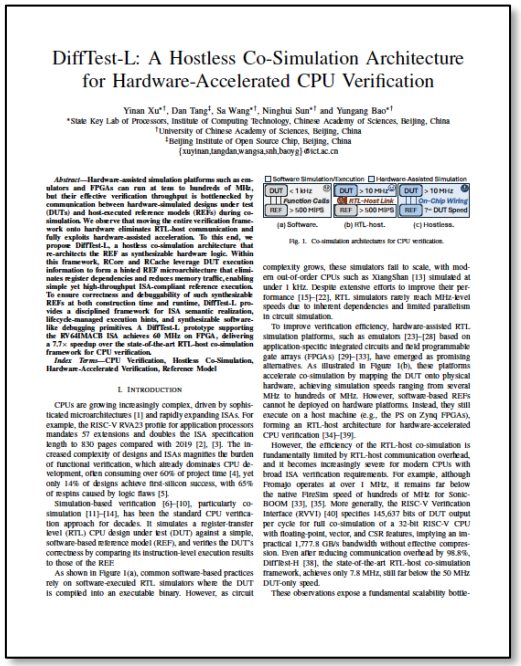


2026 ACM/IEEE 53rd Annual International Symposium on Computer Architecture (ISCA)

Democratizing and Accelerating Hardware Verification with Software-Native Optimization

Yunlong Xie[1,2], Zhicheng Yao[1], Fangyuan Song[1], Jincheng Liu[1,2], Junyue Wang[1,2], Haojin Tang[1,2], Lu Chen[1,2], Yinan Xu[1], Ziqing Zhang[1,2], Ziyuan Gao[1,2], Duan Yu[3], Hongtao Zhou[3], Jiayi Rao[1,2], Junyu Yue[1,2], Xiaolong Li[1,2], Yunqi Lu[1,2], Zechen Yang[1,2], Hang Zhu[1], Shan Liu[3], Xu An[3], Qi Ge[3], Jiuyue Ma[3], Jianyi Meng[3], Kan Shi[1,2]

I. Introduction



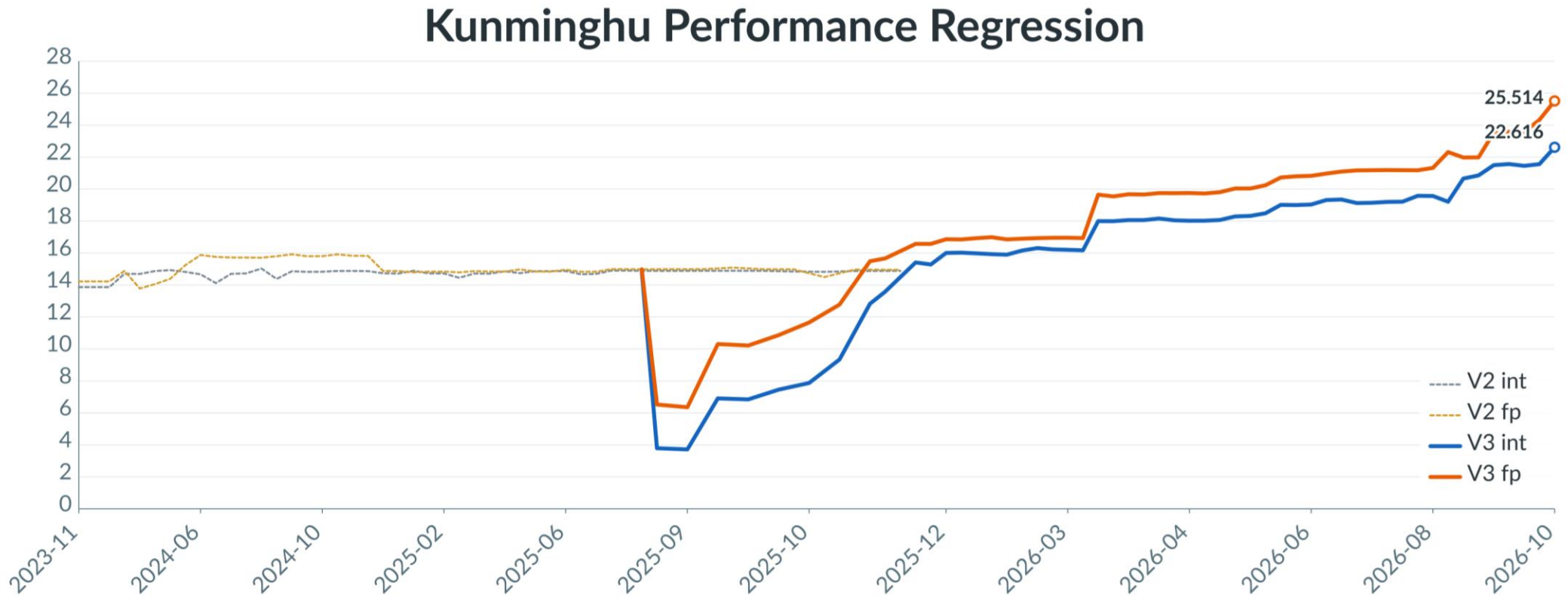
DiffTest-L: A Hostless Co-Simulation Architecture for Hardware-Accelerated CPU Verification

Yinan Xu*[1], Dan Tang[1], Sa Wang*[1], Ninghui Sun*[1] and Yungang Bao*[1]

I. Introduction

高质量：为香山处理器研发提供技术支撑

- 在GSIM、DiffTest等工具支撑下，**约10小时**可以完成香山处理器SPECCPU性能评估，有效支撑其架构探索和性能提升



数据来源：https://github.com/OpenXiangShan/XiangShan/actions/workflows/perf-trigger.yml

欢迎大家关注周二的芯片设计与验证分论坛报告

10 月 20 日（周二） · 会场 5F · 玫瑰厅 1

14:00 — 14:15

DiffTest-H

FPGA 加速 RISC-V 协同仿真 • 突破 30 MHz 的高性能处理器验证实践

报告人 游昆霖 · 中国科学院计算技术研究所

14:45 — 15:00

Wolvrix

面向芯片架构研究的 RTL 编译基础设施

报告人 高睿昊 / 唐浩晋 · 中国科学院计算技术研究所

总结：香山处理器敏捷开发基础设施建设

- **开源模式**将成为智能时代芯片研发的**更优选择**
- **敏捷开发**将成为智能时代芯片研发的**基本方法**

- **香山团队发展形成一套兼顾性能与敏捷度的芯片设计新方法**
  - 更高效的设计语言
  - 更高效的仿真验证平台
  - 更高效的性能探索流程

欢迎大家加入我们，在智能时代用开源和创新技术打破垄断！