香山：开源高性能RISC-V处理器

包云岗 唐丹 徐易难
中科院计算所

2021年6月22日

回答四个问题

一．为什么要做香山?

二．香山什么水平?

三．香山怎么做的?

四．香山未来如何发展?

为什么做开源高性能RISC-V核?

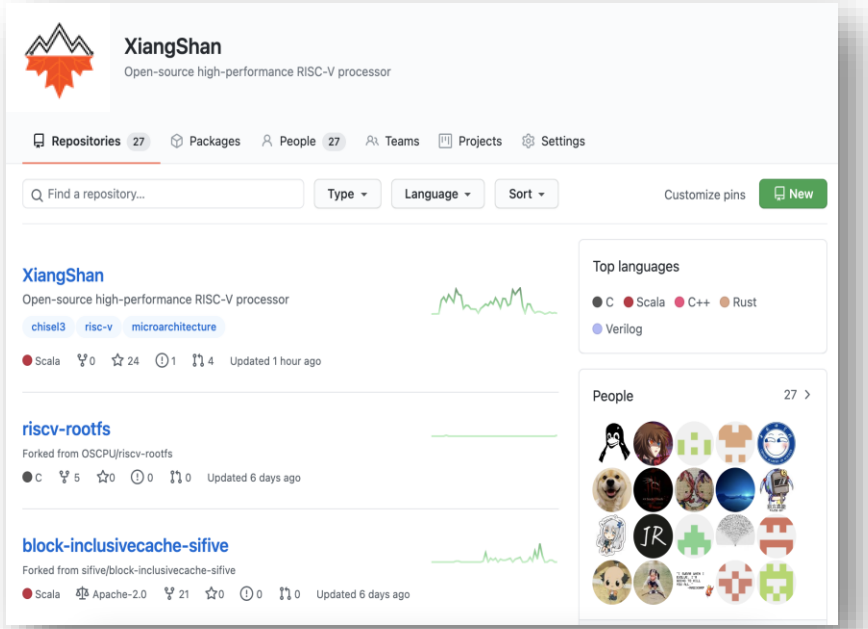
- **RISC-V**的一大优势——形成**“竞争前合作”**，实现各界**联合开发开源CPU架构**
- 国内外现有开源RISC-V项目**尚不满足业界对高性能处理器的需求**
- 建立像**Linux**的被工业界广泛应用的**体系结构创新开源平台——存活30年**!
- 用于研究和验证芯片**敏捷设计方法、流程与工具**

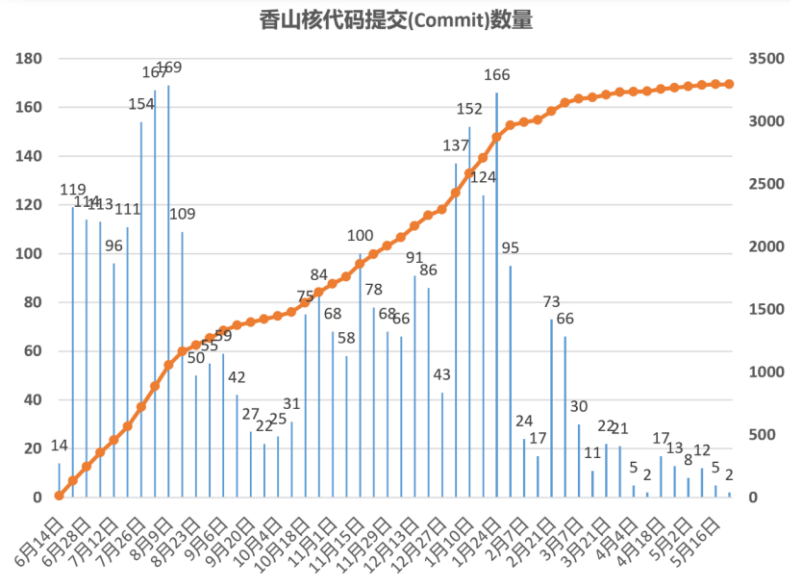
微架构设计 / 指令集	1 开放免费的设计	2 需授权的设计	3 封闭的设计	产品可选的设计(对应各指令集)
开放免费的指令集(RISC-V)	Berkeley的Rocket Chip/剑桥lowRISC/芯来科技蜂鸟E203	平头哥/SiFive/晶心科技Andes的RISC-V处理器核	Google和NVIDIA的自研RISC-V处理器	1 2 3
需授权的指令集(ARM)		ARM的处理器设计,如Cortex-A76等	基于ARM架构的Apple处理器	2 3
封闭的指令集(x86)			Intel和AMD的处理器	3

开发历程

- **代码管理**（基于GitHub，Gitee/Trustie/iHub镜像）
  - **2020年6月11日**，香山核代码仓库建立
  - **截至2021/6/1**
    - **25**位同学/老师参与
    - **821**次香山核主分支代码合并
    - **3296**次香山核代码提交
    - **31784**行香山核设计代码
    - **18317**行验证框架代码
- **在线文档及资料管理**
  - **400+**个文档
  - 包括**设计文档、实现文档、开发工具介绍、踩坑记录**等
- **与多家企业签署联合开源开发协议，另有10余家达成意向**

GitHub项目主页





回答四个问题

一．为什么要做香山?

二．香山什么水平?

三．香山怎么做的?

四．香山未来如何发展?

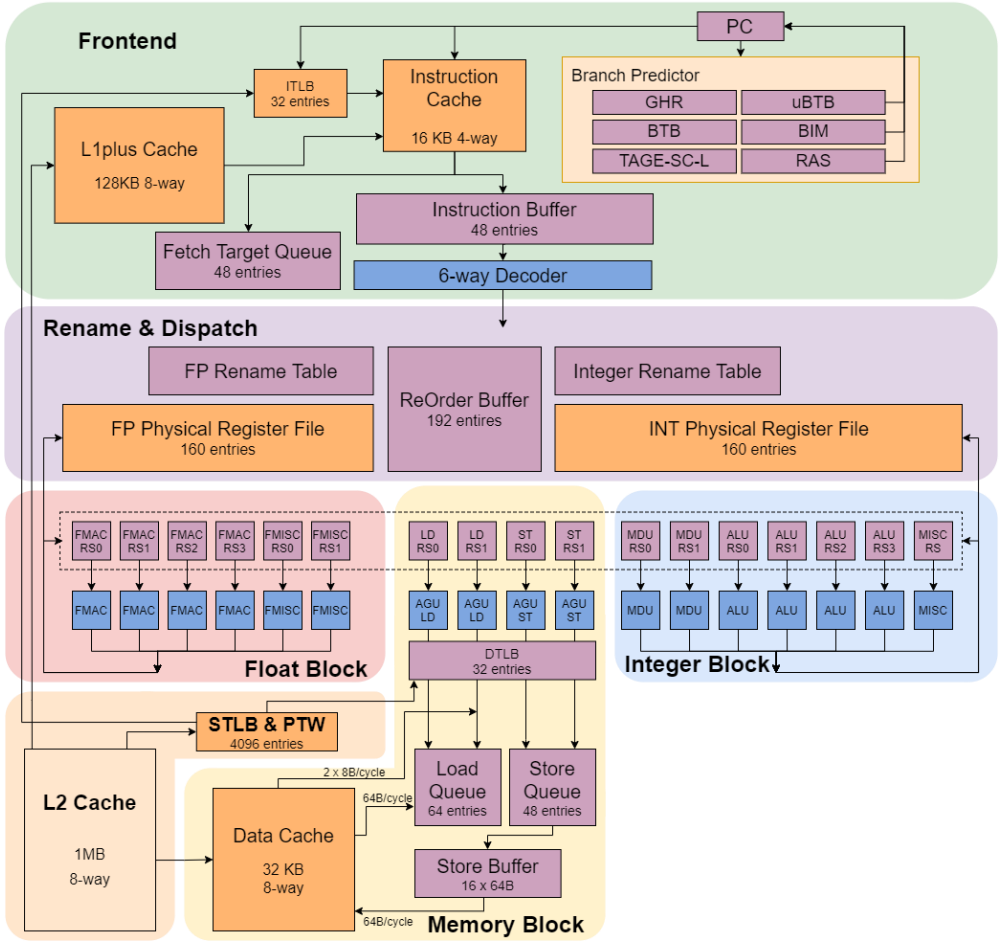
香山总体介绍

- **第一版：雁栖湖架构**
  - 2020/6：代码仓库建立
  - 2021/4：RTL完成
  - 频率：**1.3GHz@28nm**
  - 性能：预估SPEC CPU2006 ~**7分/GHz**
- **第二版：南湖架构**
  - 2021/3：开始设计讨论
  - 2021/5：开始RTL工作，继续设计讨论
  - 计划：2021年底完成，**2GHz@14nm，SPEC CPU2006 10分/GHz**
- **开源情况**
  - 开源协议：**MulanPSLv2协议**（兼容Apache v2.0）
  - 代码托管：GitHub (https://github.com/OpenXiangShan/XiangShan)；镜像：Gitee/Trustie/iHub
  - 邮件列表：**xiangshan-all@ict.ac.cn**

香山源码仓库

第一版微架构：雁栖湖

- **11**-stage, **6**-wide decode/rename
- **TAGE-SC-L** branch prediction
- **160** Int PRF + **160** FP PRF
- **192**-entry ROB, **64**-entry LQ, **48**-entry SQ
- **16**-entry RS for each FU
- **16KB** L1 Cache, **128KB** L1plus Cache for instruction
- **32KB** L1 Data Cache
- **32**-entry ITLB/DTLB, **4K**-entry STLB
- **1MB** inclusive L2 Cache
- **未来目标：性能达到ARM Cortex-A76水平**

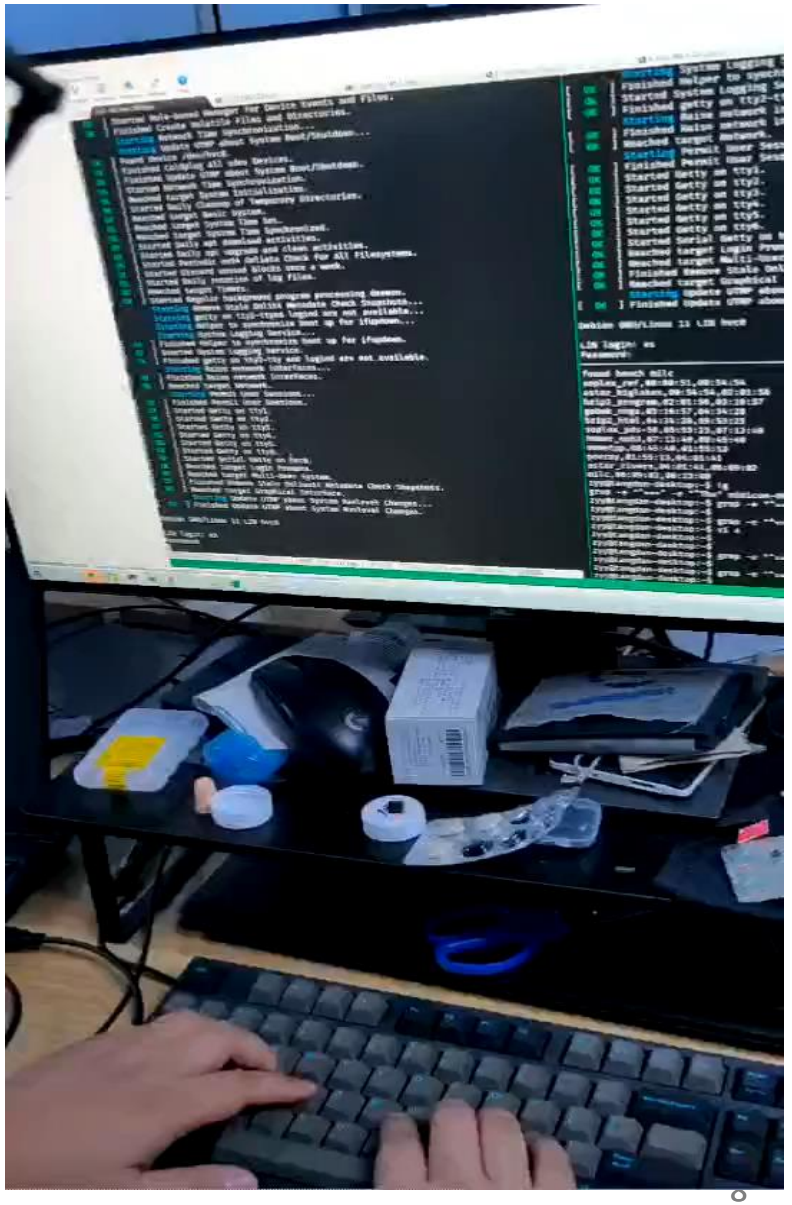


验证与流片

- **流程化的自动回归测试（GitHub CI）**
  - **cputest**(基本运算、访存、分支指令测试)
  - **riscv-tests**(指令集兼容测试)
  - **CoreMark, microbench**(跑分测试，研究微结构行为)
  - **Linux**(特权级测试)
  - **povray**程序片段(浮点指令测试)
  - **mcf, xalancbmk, gcc, namd**程序片段(SPEC片段性能测试)
- **7月中旬流片**
  - **1.3GHz@28nm**
  - 预估SPEC CPU2006 ~**7分/GHz**

香山时刻：Hello，XiangShan

启动Linux/Debian @ FPGA



回答四个问题

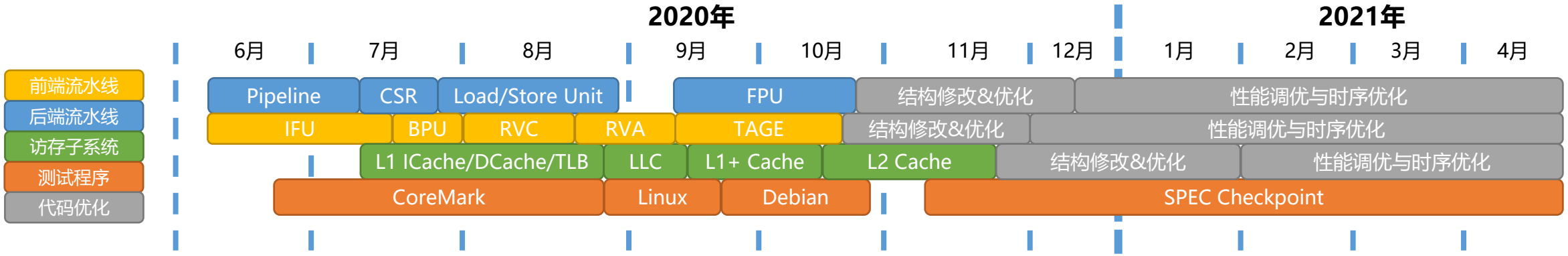
一．为什么要做香山?

二．香山什么水平?

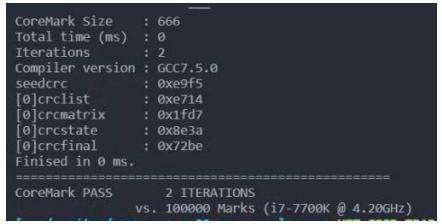
三．香山怎么做的?

四．香山未来如何发展?

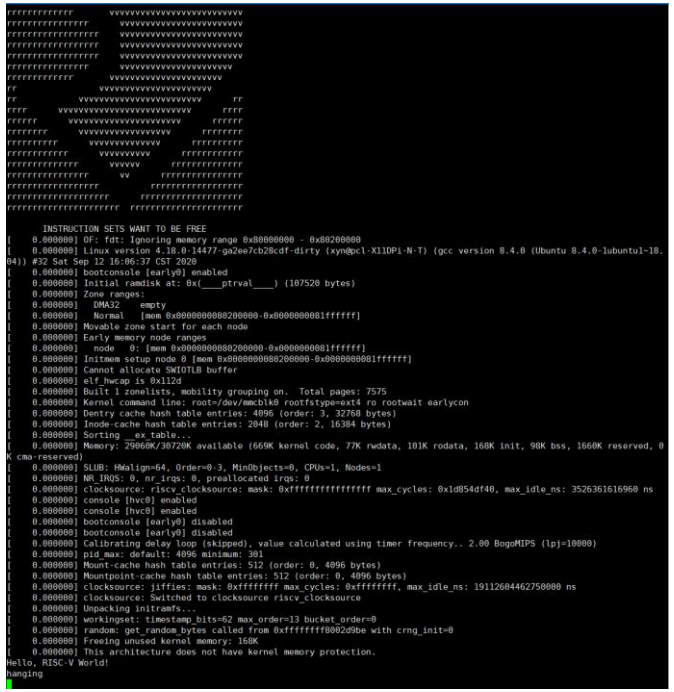
雁栖湖架构开发时间轴



7月6日21:50，正确运行CoreMark

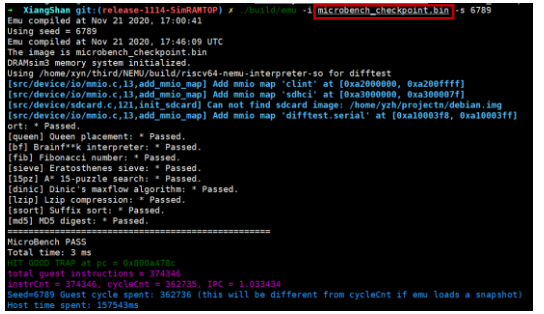


9月12日16:21，Linux正确启动

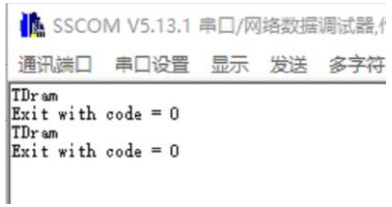


10月22日6:03，Debian正确启动

11月21日17:46，跨平台Checkpoint机制首次正确工作



2021年3月10日8:53，
在FPGA上成功运行并通过串口输出



2021年3月1日13:28，
成功运行494个30M指令的SPEC核心片段

	time	ref_time	score	Coverage
astar	720.745835	7020.0	9.739911	0.836001
bwaves	736.577589	13590.0	18.450195	0.800006
povray	622.054643	5320.0	8.552303	0.764998
dealII	616.002736	11440.0	18.571346	0.809693
xalancbmk	806.700076	6900.0	8.553365	0.823448
gobmk	922.674475	10490.0	11.369123	0.799088
h264ref	1559.507647	22130.0	14.190376	0.833575
GemsFDTD	575.092806	10610.0	18.449196	0.803647
zeusmp	942.445219	9100.0	9.655734	0.766164
gamess	505.664270	19580.0	38.721344	0.828551
bzip2	1216.016428	9650.0	7.935748	0.815327
sjeng	1360.709627	12100.0	8.892419	0.848381
hmmer	1239.467471	9330.0	7.527426	0.806367
namd	831.073320	8020.0	9.650171	0.805472
gromacs	1508.160981	7140.0	4.734243	0.812367
perlbench	1326.821981	9770.0	7.363460	0.817511
calculix	1753.192680	8250.0	4.705701	0.829745
tonto	1074.708623	9840.0	9.155970	0.801480
sphinx3	1187.678472	19490.0	16.410165	0.807971
lbm	767.194488	13740.0	17.909409	0.841255
leslie3d	968.450067	9400.0	9.706231	0.812719
cactusADM	2193.189929	11950.0	5.448685	0.823897

决策一：选择Chisel

- 2018年：设计定量实验对比Chisel与Verilog

Chisel vs. Verilog：芯片敏捷开发效率对比案例

- **相同任务**：快速实现L2 Cache，接入RISC-V

	一位工程师	一位本科生
项目经验	熟悉OpenSparc T1，修改过Xilinx Cache	做过CPU课程设计，有9个月Chisel开发经验
开发模式	传统开发	敏捷开发
开发语言	Verilog	Chisel
是否复用已有代码/测试环境	否，独立开发/构建测试环境(花费约3周)	是，使用Chisel库和Labeled RISC-V项目的测试环境
周期	6周	3天
有效代码/行	~1700	~350
效果	目前仍无法启动Linux	可启动多核Linux，支持DMA模式的以太网

- **敏捷开发的效率是传统14 倍!**
  - 代码量约为传统开发的 1/5

开发质量对比：敏捷 vs 传统

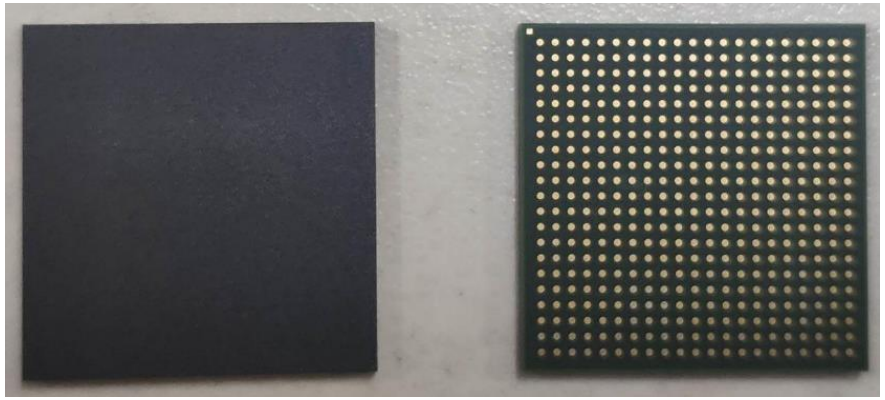
- 让另一名**Chisel零基础**的国科大本科生翻译工程师的核心模块并评估
  - Vivado 2017.01, FPGA 型号 xc7v2000tfhg1716-1

	Verilog	Chisel (直接翻译)	Chisel-opt (高级特性与库)
Frequency/MHz	135.814	136.388 (+0.42%)	154.107 (+13.47%)
Power/W	0.770	0.749 (-2.73%)	0.749 (-2.73%)
LUT Logic	5676	6422 (+13.14%)	2594 (-54.30%)
LUT Storage	1796	1264 (-29.62%)	1492 (-16.93%)
FF	4266	3638 (-14.72%)	747 (-82.49%)
LOCS	618	470 (-23.95%)	155 (-74.92%)

- **敏捷开发方法可达到传统开发质量**

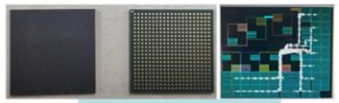
余子濠,刘志刚,李一苇,黄博文,王卅,孙凝晖,包云岗. **芯片敏捷开发实践：标签化RISC-V**. 计算机研究与发展, 2019

- 2020年：基于Chisel的8核标签化RISC-V芯片流片成功（28nm）



16节点原型系统机箱

单节点板卡



"北海100"
标签化RISC-V芯片

- RV64GC指令集
- 单发射顺序9级流水线
- 内置标签化冯诺依曼结构技术
- 8核/2MB L2 Cache
- ChipLink前端总线
- **1.2GHz@ 28nm**
- Wafer out/WB BGA封装
- 最大支持32GB DDR4内存
- 2*千兆以太网
- 1*PCIe3.0 RC x4

Chisel开发经验分享

- 如何基于Chisel提供的高级特性，实现**处理器敏捷开发框架**，支持高效且准确的RTL代码生成

① Top 10 Common Misconceptions about Chisel
② Practice of High-performance Chip Agile Development with Chisel
③ Summary of Problems and Experiences during the Processor Development based on Chisel
④ Experience Sharing: Develop NutShell using Chisel
⑤ Implementation of a Highly Configurable Wallace Tree Multiplier with Chisel

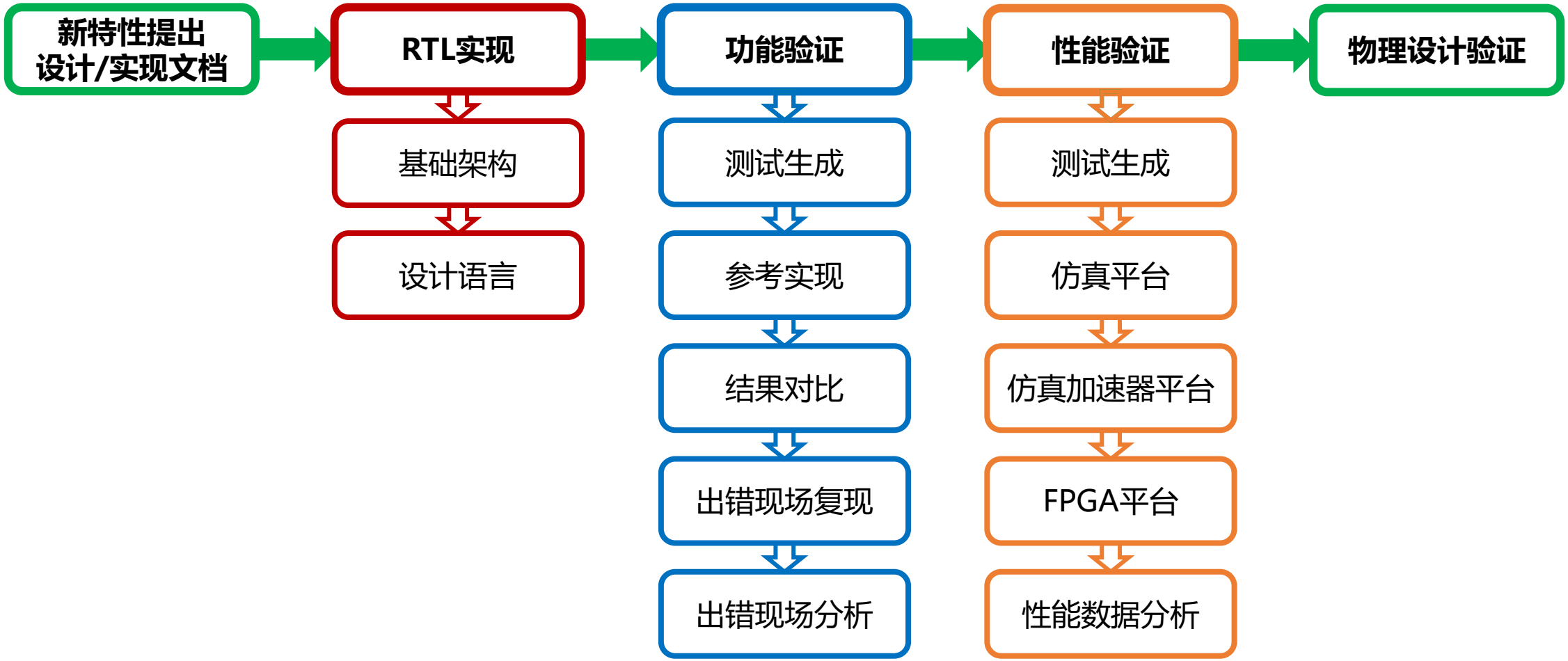
6月25日 周五 CCC2021

- 基于FIRRTL Transform设计**辅助调试工具**

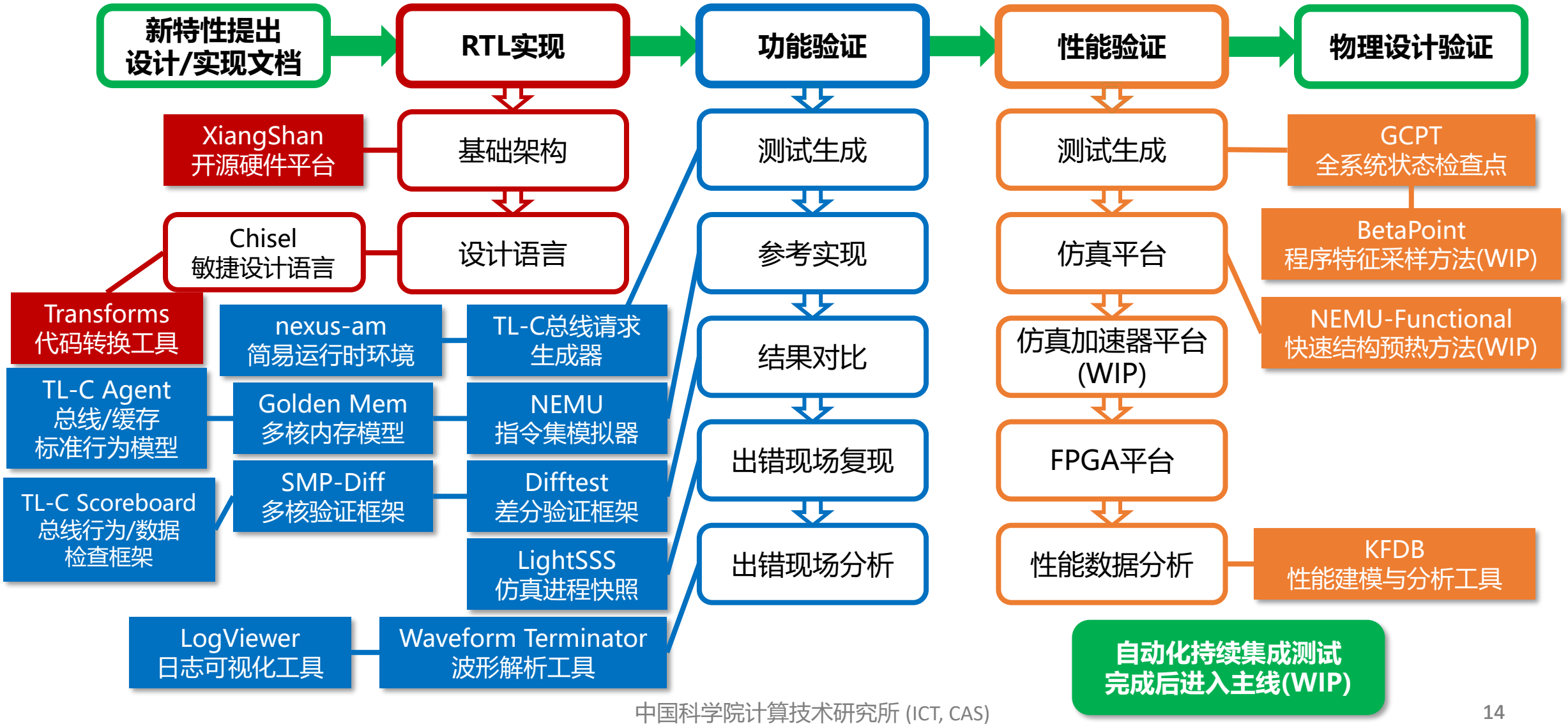
Use Firrtl Transform to Control the Effective Range of 'printf' in Large Scale Circuits

6月25日 周五 CCC2021

决策二：重视构建支持敏捷设计的流程与工具



支持香山处理器敏捷开发流程的工具



NEMU：效率接近QEMU的高性能解释器

NEMU：一个效率接近QEMU的高性能解释器
6月23日 周三 13:20

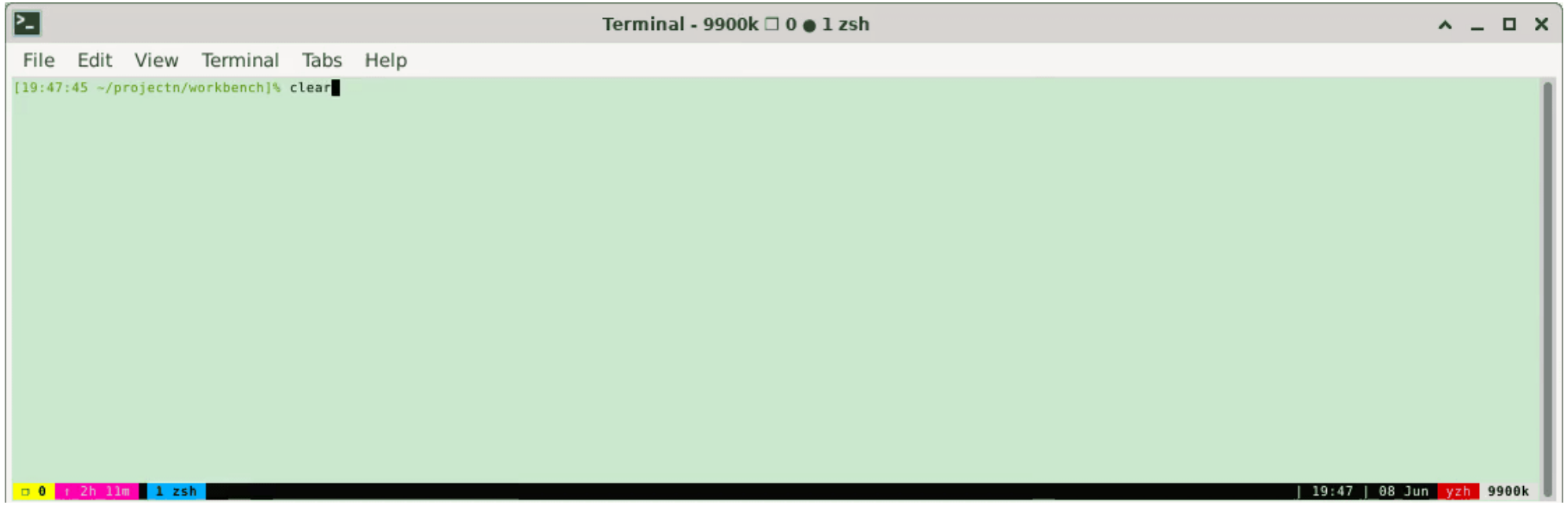
- **基于南京大学的教学模拟器[1]**
  - 深度优化：指令解释器机制、RISC-V常用指令

	解释型(Spike)	翻译型(QEMU)	NEMU
性能	低	高	高
机制	简单	复杂	简单
程序动态分析	容易	困难	容易

主机配置: i9-9900k@3.6GHz, Debian 10, clang 7.0.1, 编译选项-O3 -flto

从启动到Debian登录成功耗时

	时间/s
Spike	141.53
QEMU	12.07
NEMU	**9.87**

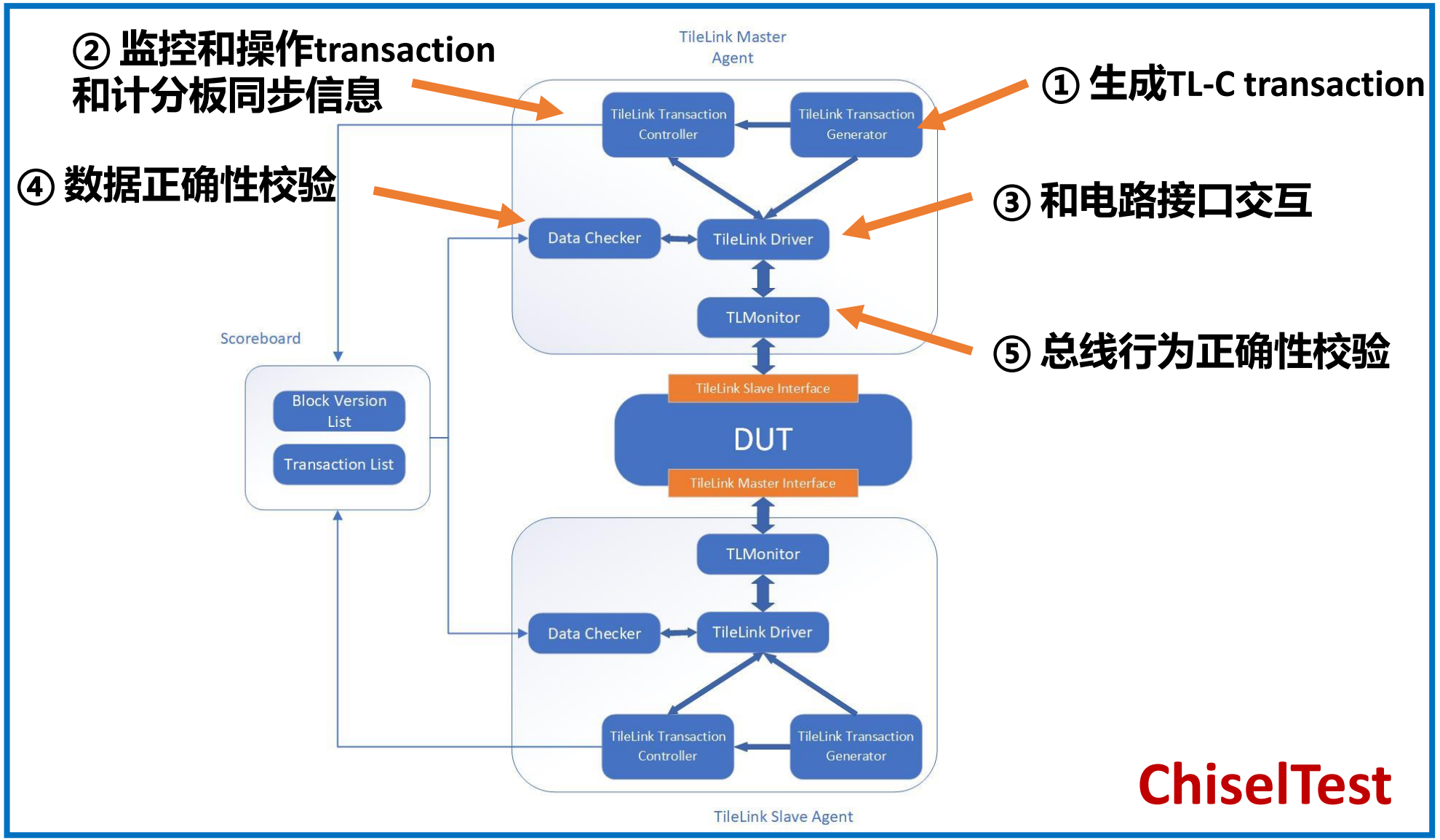


Spike　　QEMU-system-riscv64　　NEMU-system-riscv64

[1] https://github.com/NJU-ProjectN/nemu

Agent Faker： TL-C一致性Cache的软件测试框架

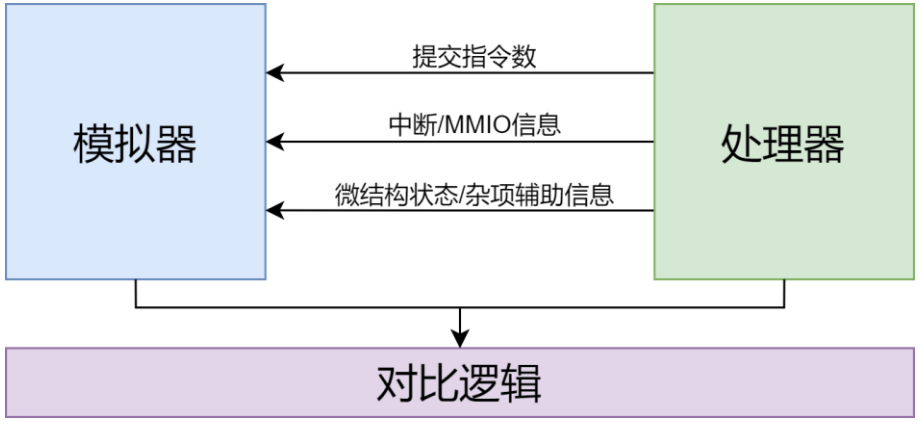
Agent Faker: TL-C一致Cache的软件测试框架
6月25日 周五 9:30



Difftest：指令级在线差分验证框架

SMP-MArch-Diff:
支持多处理器和RV微结构状态的差分测试方法
6月24日 周四 14:50

- **基本流程**
  - 处理器仿真产生指令提交
  - 模拟器执行相同的指令
  - 比较两者状态
- **支持Verilator/VCS仿真器、 NEMU模拟器**
- **SMP-Difftest：支持 SMP 结构的全系统仿真**
  - 支持**多线程**程序、**SMP Linux 内核**等负载
  - 支持检测**Cache一致性、内存一致性**方面的软硬件问题



基本验证框架

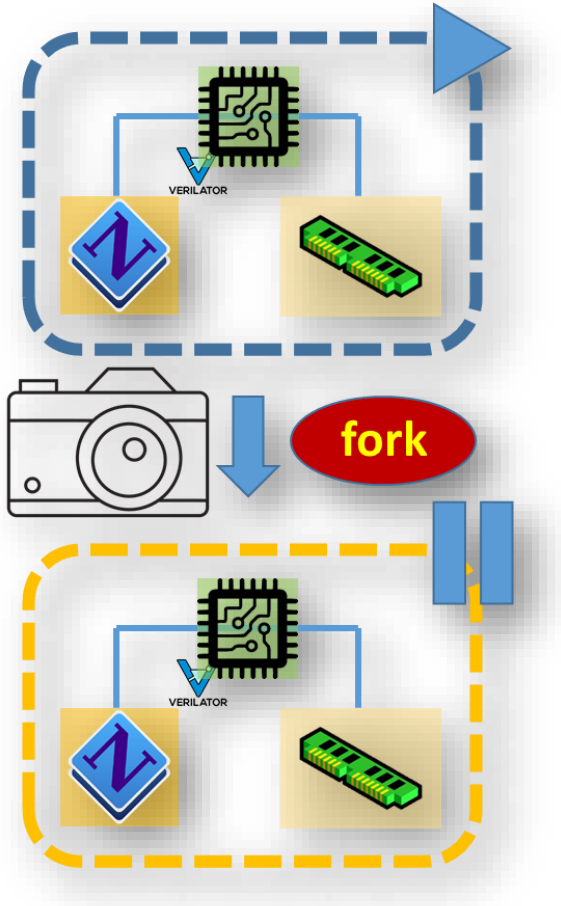
```
while (1) {
    icnt = cpu_step();
    nemu_step(icnt);
    r1s = cpu _getregs();
    r2s = nemu_getregs();
    if (r1s != r2s) { abort(); }
}
```

在线验证机制

LightSSS：一种轻量级仿真快照

LightSSS：基于内存的轻量级仿真快照
6月23日 周三 14:50

- **Light-weight Simulation SnapShot**
- 如何**轻量级**地实现无需理解**外部模型（NEMU、DRAMSim等）**细节的情况下保存**仿真状态**?
- **核心思想: 从进程抽象视角看仿真状态, 用fork对进程状态做快照**
- **LightSSS v.s. Verilator Savable**
  - Verilator编译：**3.8X**
  - g++编译：**2.8X**
  - 10轮Coremark：**1.2X**
  - 单次快照：**6951.4X**



Waveform Terminator：新型硬件敏捷调试栈

Waveform Terminator:
填补底层波形和高层语义鸿沟的调试栈
6月23日 周三 15:20

- 将基于波形的调试转换成基于事件的调试
- 设计一套工具，能够将高层语义信息从波形中提取出来

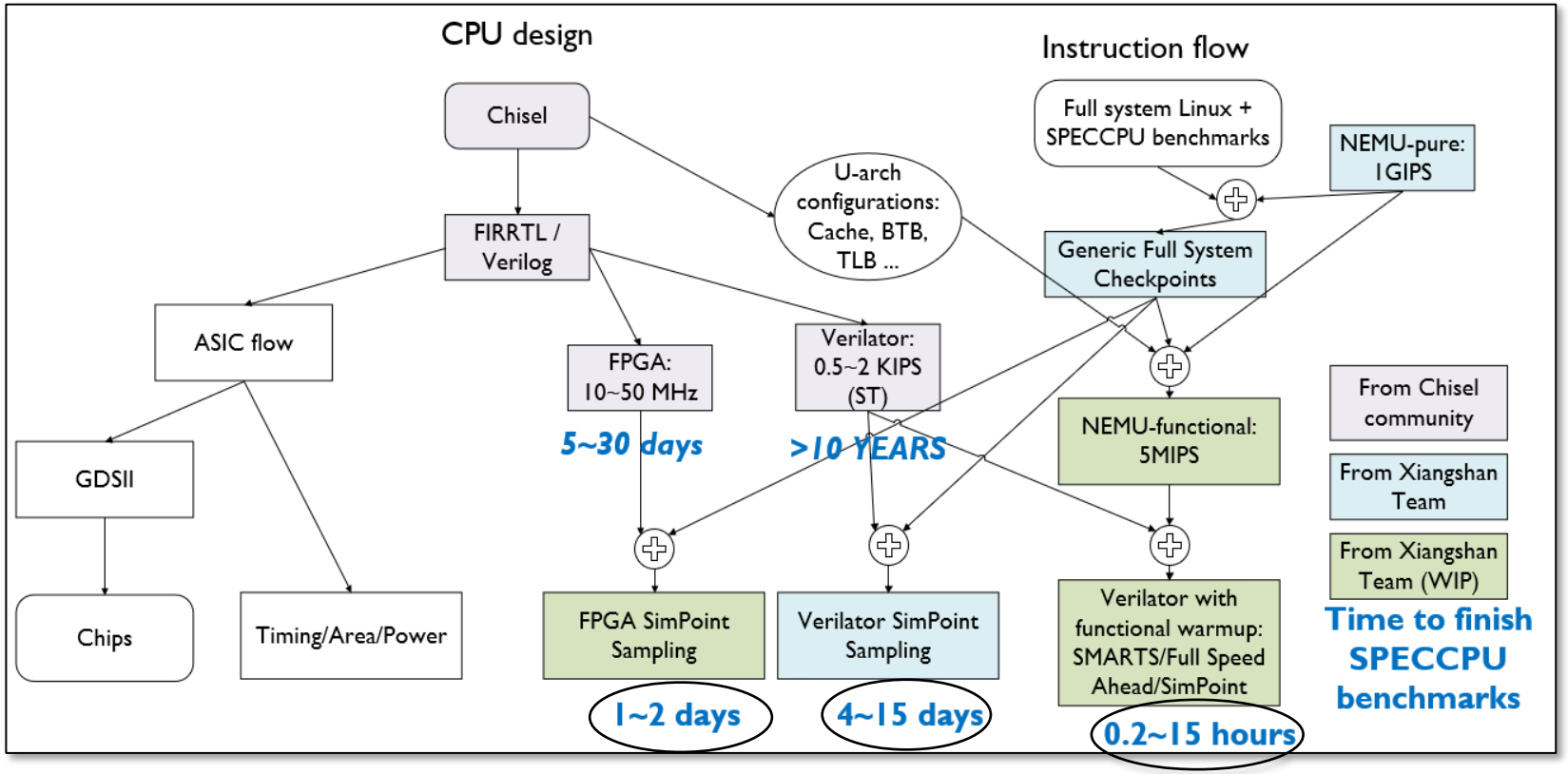
日志分析	对事件日志进行高层次的语义分析和检查
Firrtl Transform	用于将Chisel中开发者关心的事件自动转换成 ”Xiang” 语言描述的转换规则
Xiang语言	自定义的DSL “Xiang” 语言，用于描述波形信息到事件日志的转换规则
波形文件Parser	解析波形文件

- 高效地完成对事件的信号提取、波形解析、可视化展示

BetaPoint： 敏捷性能评估框架

Checkpoint + Sampling:
10小时内估算出RISC-V CPU的SPEC分数
6月23日 周三 18:10

- **利用采样+检查点+结构功能预热实现处理器的敏捷性能评估**



敏捷性能评估框架路线图

RISC-V中国峰会（2021年6月@上海）相关报告

XiangShan
开源硬件平台

香山：开源高性能RISC-V处理器
6月22日 周二 14:00

NEMU
指令集模拟器

NEMU：一个效率接近QEMU的高性能解释器
6月23日 周三 13:20

LightSSS
仿真进程快照

LightSSS：基于内存的轻量级仿真快照
6月23日 周三 14:50

Waveform Terminator
波形解析工具

Waveform Terminator:
填补底层波形和高层语义鸿沟的调试栈
6月23日 周三 15:20

GCPT全系统状态检查点

BetaPoint
程序特征采样方法 (WIP)

Checkpoint + Sampling:
10小时内估算出RISC-V CPU的SPEC分数
6月23日 周三 18:10

SMP-Diff
多核验证

Difftest
差分验证

Golden Mem 多核内存模型

SMP-MArch-Diff:
支持多处理器和RV微结构状态的差分测试方法
6月24日 周四 14:50

TL-C总线
请求生成器

TL-C Agent
总线/缓存
标准行为模型

TL-C Scoreboard
总线行为/数据检查框架

Agent Faker: TL-C一致性Cache的软件测试框架
6月25日 周五 9:30

香山处理器取指单元的设计与实现
香山处理器分支预测部件的设计与实现
香山处理器循环预测器和循环缓冲部件的设计与实现
香山处理器后端流水线的设计与实现
香山处理器访存流水线的设计与实现
香山处理器非阻塞DCache的设计与实现
香山处理器MMU的设计与实现
SiFive InclusiveCache 在香山处理器中的应用与调整
香山处理器B扩展的设计与实现

6月25日 周五 10:00 - 12:00

XiangShan
开源硬件平台

香山处理器Tutorial
6月25日 周五 14:00 – 17:00

香山开源硬件平台：硬件源码、验证框架、评估框架、配套软件等

Top 10 Common Misconceptions about Chisel

Practice of High-performance Chip Agile Development with Chisel

Use Firrtl Transform to Control the Effective Range of 'printf' in Large Scale Circuits

Summary of Problems and Experiences during the Processor Development based on Chisel

Experience Sharing: Develop NutShell using Chisel

Implementation of a Highly Configurable Wallace Tree Multiplier with Chisel

6月26日 周六 全天@Chisel Community Conference

Chisel
敏捷设计语言

FIRRTL
Transforms
代码转换工具

回答四个问题

一．为什么要做香山?

二．香山什么水平?

三．香山怎么做的?

四．香山未来如何发展?

下一代微架构（南湖）

- 目标: 2GHz@SMIC 14nm, SPECCPU2006 20分
- 主要变化
  - RV64GCB：支持位操作(bitmanip)指令集扩展
  - 新前端设计：分支预测与取指解耦的架构
  - 后端优化：更好的调度、支持指令融合等
  - 新L2 Cache：更高的频率、吞吐量，更低的延迟
  - 使用双核版本流片，双通道DDR
  - 支持更多的外设（PCIe, USB, HDMI等）

南湖技术研讨会，2021.6.19

- 建立开源、开放、规范的开发流程

开发代码→模块测试→功能评测→性能评估→代码审核→流片验证→并入主线

让“香山”存活30年

- **迭代优化**：保持**半年更新一代架构**的迭代优化频率
- **流片验证**：**每年2次流片**，对新架构、新功能进行验证
- **开发流程**：构建敏捷开发**基础设施**，完善敏捷开发流程
- **开源社区**：建立规范的**开源社区管理**机制
- **推广应用**：广泛应用于**工业界**，成为**学术界**的创新平台
- **资金人员**：稳定的**经费来源**与**核心开发人员**

中国科学院计算技术研究所 INSTITUTE OF COMPUTING TECHNOLOGY, CHINESE ACADEMY OF SCIENCES

中国开放指令生态（RISC-V）联盟 China RISC-V Alliance

鹏城实验室 Peng Cheng Laboratory

感谢 北京微核芯科技有限公司 BEIJING VCORE TECHNOLOGY CO.,LTD. **提供产业经验、联合完成结构设计及物理设计**

香山处理器二期联合开发合作伙伴

北京微核芯科技有限公司 BEIJING VCORE TECHNOLOGY CO.,LTD.

ByteDance 字节跳动

ESWIN

优矽科技

欢迎更多伙伴加入！

联系人：李迪 13811881360

香山：开源高性能RISC-V处理器

谢谢！

欢迎加入！